

PHASE LOCKED LOOP

Cách khởi tạo và chọn tần số dao động trong Keil-uV3

--φΠφ--

Các đề mục chính:

| | | |
|--------|--|----|
| A.I. | Nguồn dao động:----- | 3 |
| A.II. | Vòng khóa pha(Phase locked loop-PLL):----- | 3 |
| II.1. | Miêu tả thanh ghi:----- | 4 |
| II.2. | Thanh ghi điều khiển PLL(PLLCON - 0xE01FC080)----- | 4 |
| II.3. | Thanh ghi tạo cấu hình PLL(PLLCFG - 0xE01FC084)----- | 5 |
| II.4. | Thanh ghi trạng thái PLL(PLLSTAT - 0xE01FC088)----- | 5 |
| | +Ngắt PLL:----- | 6 |
| II.5. | Các chế độ hoạt động của PLL:----- | 6 |
| II.6. | Thanh ghi cập nhật giá trị PLL liên tục (PLLFEED - 0xE01FC08C)----- | 6 |
| II.7. | PLL và chế độ Power Down:----- | 6 |
| II.8. | Tính toán tần số hoạt động của PLL:----- | 6 |
| II.9. | Thủ tục xác định cấu hình PLL:----- | 7 |
| | Ví dụ về PLL: Hệ thống thiết kế có $F_{osc}=10MHz$ và cần CCLK=60MHz.----- | 7 |
| A.III. | Điều khiển nguồn:----- | 7 |
| III.1. | Diễn tả thanh ghi:----- | 7 |
| III.2. | Thanh ghi điều khiển nguồn (PCON-0xE01FC0C0):----- | 7 |
| III.3. | Thanh ghi điều khiển nguồn cho ngoại vi(PCONP-0xE01FC0C4):----- | 8 |
| A.IV. | Reset:----- | 8 |
| A.V. | Bộ chia VPB:----- | 9 |
| | +Thanh ghi của bộ chia VPB (VPBDIV - 0xE01FC100):----- | 9 |
| A.VI. | Chương trình minh họa:----- | 9 |
| B. | Kết luận:----- | 11 |
| | Tài liệu tham khảo chính:----- | 11 |

Danh mục các hình minh họa:

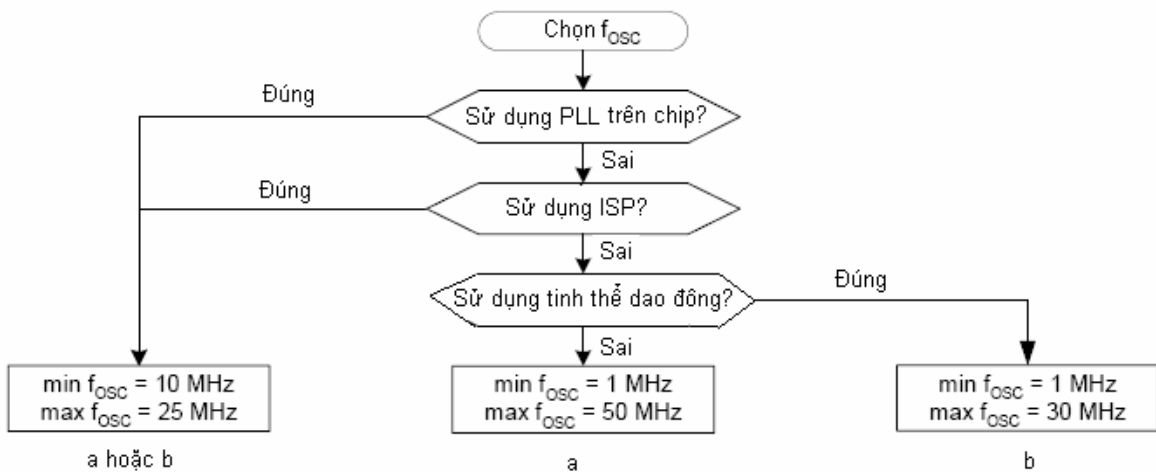
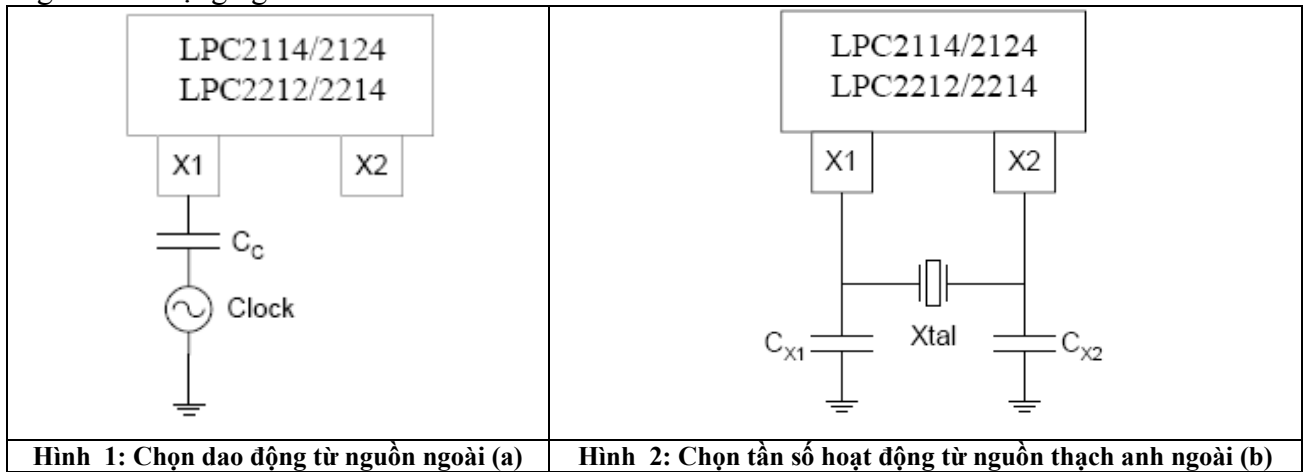
| | |
|--|----|
| Hình 1: Chọn dao động từ nguồn ngoài (a)..... | 3 |
| Hình 2: Chọn tần số hoạt động từ nguồn thạch anh ngoài (b)..... | 3 |
| Hình 3: Thuật toán chọn tần số dao động của MCU..... | 3 |
| Hình 4: Giảm đồ khối PLL | 4 |
| Hình 5: Giảm đồ khối reset bao gồm cả đồng hồ Wakeup..... | 8 |
| Hình 6: Kết nối của bộ chia VPB với PLL | 9 |
| Hình 7: Màn hình làm việc khi chỉnh sửa các thông số MSEL, PSEL của Keil-uV3 | 11 |

Danh mục các bảng:

| | |
|---|---|
| Bảng 1: Các thanh ghi PLL..... | 4 |
| Bảng 2: Thanh ghi điều khiển PLL(PLLCON - 0xE01FC080) | 5 |
| Bảng 3: Thanh ghi cấu hình cho PLL(PLLCFG - 0xE01FC084) | 5 |
| Bảng 4: Thanh ghi trạng thái PLL(PLLSTAT - 0xE01FC088) | 5 |
| Bảng 5: Kết hợp các bit điều khiển PLL..... | 6 |
| Bảng 6: Thanh ghi cập nhật giá trị PLL liên tục(PLLFEED - 0xE01FC08C) | 6 |
| Bảng 7: Giá trị các hệ số chia của PLL | 7 |
| Bảng 8: Các giá trị của bộ nhân PLL | 7 |
| Bảng 9: Các thanh ghi điều khiển nguồn..... | 7 |
| Bảng 10: Thanh ghi điều khiển nguồn PCON..... | 7 |
| Bảng 11: Thanh ghi điều khiển nguồn cho ngoại vi | 8 |
| Bảng 12: Thanh ghi VPBDIV | 9 |
| Bảng 13: Thanh ghi bộ chia VPB (VPBDIV - 0xE01FC100)..... | 9 |

A.I. Nguồn dao động:

Cấu hình trên chip cho phép chọn dao động tần số từ 1MHz-30MHz. Thường gặp dạng nguồn dao động ngoài như hình vẽ dưới:



Hình 3: Thuật toán chọn tần số dao động của MCU

A.II. Vòng khóa pha(Phase locked loop-PLL):

PLL hoạt động với tần số dao động từ 1-25MHz. Ngõ vào tần số được nhân vào CCLK trong tầm từ 10MHz đến 60MHz sử dụng máy dao động điều khiển tức thời (Current Controlled Oscillator-CCO) Giá trị nhân vào có thể trong phạm vi từ 1 đến 32 (số nguyên) <thật ra, với LPC2214, hệ số này nhỏ hơn 6 vì bị giới hạn ngưỡng trên của tần số dao động> CCO hoạt động trong tầm tần số từ 156MHz đến 320MHz, bởi vậy, có thêm một bộ chia trong vòng (loop) để giữ giá trị CCO trong tầm giới hạn tần số khi PLL tạo tần số dao động mong muốn. Bộ chia ngoài có các số chia là 2,4,8,16 để tạo tín hiệu xung nhịp ngõ ra.

Nếu số chia là 2, nó đảm bảo rằng tín hiệu ngõ ra của PLL có độ gợn 50%.

Hoạt động của PLL được điều khiển bởi thanh ghi PLLCFG. Có 2 thanh ghi được bảo vệ để chống lại sự cố xảy ra do thay đổi các thông số của PLL hoặc PLL không hoạt động. Vì tất cả các thành phần trên chip, kể cả đồng hồ Watchdog, đều phụ thuộc vào PLL khi nó cung cấp xung nhịp cho chip, các sự cố xảy ra với PLL có thể gây ra các hoạt động không mong muốn trên vi điều khiển. Chức năng bảo vệ của PLL được thực hiện bằng cách cập nhật giá trị liên tục giống như đồng hồ Watchdog. PLL không hoạt động khi chip Reset hoặc vào chế độ Power Down. PLL chỉ hoạt động khi người lập trình cho phép. Chương trình lập trình phải định cấu hình cho PLL, cho nó hoạt động, chờ PLL khóa pha, sau đó xem PLL như là nguồn xung nhịp.

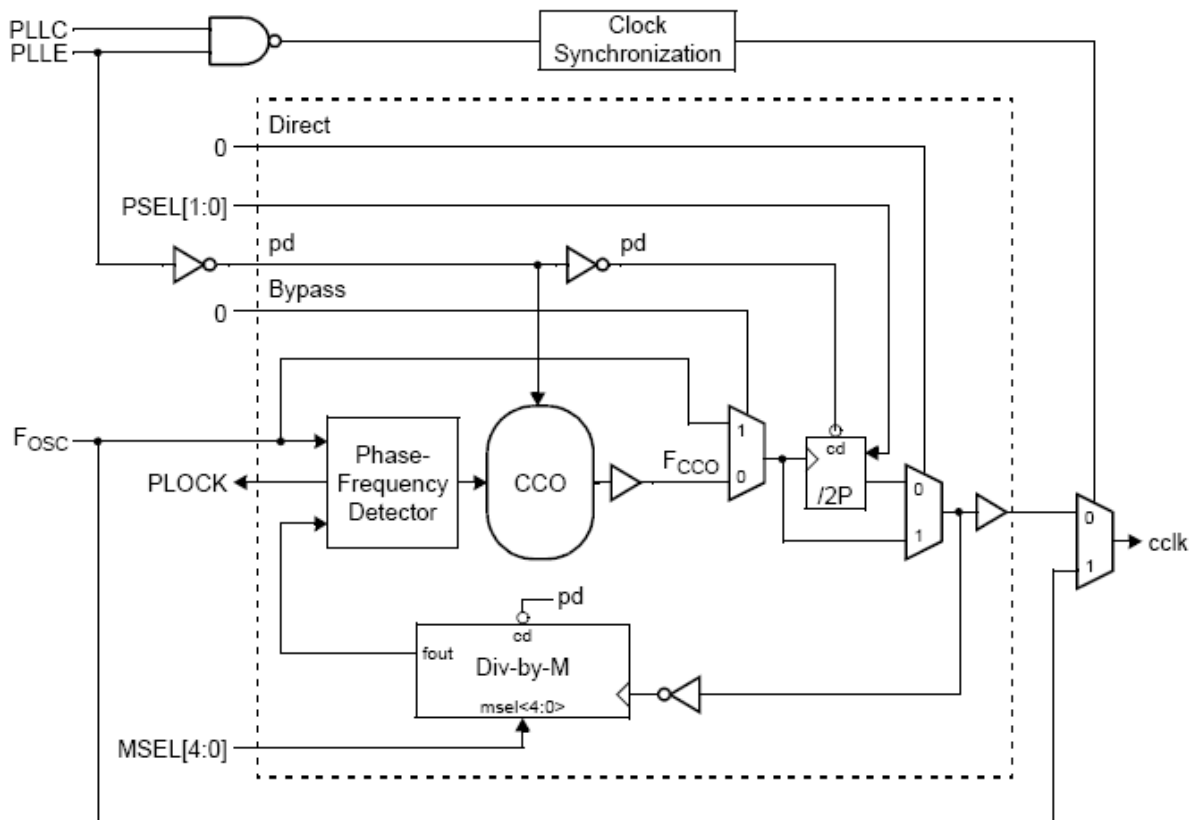
II.1. Miêu tả thanh ghi:

PLL được điều khiển bằng các thanh ghi trong bảng dưới đây.

Lưu ý rằng việc thiết đặt các giá trị PLL không phù hợp có thể làm thiết bị hoạt động sai.

| Địa chỉ | Tên gọi | Chức năng | Truy cập |
|------------|---------|---|----------|
| 0xE01FC080 | PLLCON | Thanh ghi điều khiển PLL. Thanh ghi này giữ giá trị để cập nhật các bit điều khiển PLL. Giá trị ghi vào thanh ghi này sẽ có tác dụng khi xảy ra quá trình cập nhật giá trị PLL mới hợp lệ. | Đọc/Ghi |
| 0xE01FC084 | PLLCFG | Thanh ghi cấu hình PLL. Thanh ghi này giữ giá trị để cập nhật cấu hình PLL mới. Giá trị ghi vào thanh ghi này sẽ có tác dụng khi xảy ra quá trình cập nhật giá trị PLL mới hợp lệ. | Đọc/Ghi |
| 0xE01FC088 | PLLSTAT | Thanh ghi trạng thái PLL. Đọc ngược giá trị của thanh ghi này để biết thông tin điều khiển và cấu hình của PLL. Nếu thanh ghi PLLCON hoặc PLLCFG đã được ghi giá trị mới, nhưng quá trình cập nhật PLL liên tục (<i>feed</i>) không xảy ra, nó sẽ không ảnh hưởng tới trạng thái PLL hiện tại. Đọc giá trị của thanh ghi này sẽ cho biết giá trị thật sự điều khiển PLL hoặc trạng thái thật sự của PLL trong thời điểm đó. | Chỉ đọc |
| 0xE01FC08C | PLLFEED | Thanh ghi cập nhật liên tục (<i>feed</i>) giá trị thanh ghi PLL. Feed Register. Thanh ghi này cho phép load các thông tin về điều khiển và cấu hình của thanh ghi PLLCON và PLLCFG vào thanh ghi phụ (<i>shadow</i>) có ảnh hưởng trực tiếp lên hoạt động của PLL. | Chỉ ghi |

Bảng 1: Các thanh ghi PLL



Hình 4: Giải đồ khối PLL

II.2. Thanh ghi điều khiển PLL (PLLCON - 0xE01FC080)

Thanh ghi điều khiển PLL chứa các bit cho phép và kết nối PLL. Cho phép PLL để nó thử khóa các giá trị thiết lập hiện tại của bộ chia và nhân tần số. Kết nối PLL để vi xử lý hoạt động nhờ xung nhịp ngõ ra của PLL. Sự thay đổi của thanh ghi PLL không ảnh hưởng hệ thống tới khi quá trình cập nhật giá trị tuần tự liên tục diễn ra đúng. <Xem thêm ở thanh ghi cập nhật giá trị PLL liên tục -PLL Feed Register(PLLFEED - 0xE01FC08C)>

| PLLCON | Chân chức năng | Diễn tả chức năng | Giá trị Reset |
|--------|----------------|---|---------------|
| 0 | PLLE | Cho phép PLL Enable. Khi PLLE='1' và sau khi quá trình cập nhật giá trị PLL hợp lệ, bit này sẽ cho phép PLL để nó khóa giá trị tần số yêu cầu. Xem thêm ở thanh ghi PLLSTAT. | 0 |
| 1 | PLLC | Kết nối PLL. Khi [PLLC,PLLE]='11', sau khi quá trình cập nhật giá trị PLL diễn ra hợp lệ, ngõ ra xung nhịp của PLL được chọn là xung nhịp của hệ thống. Ngược lại, xung nhịp của nguồn dao động là xung nhịp của hệ thống<xem thêm ở thanh ghi PLLSTAT> | 0 |
| 7:2 | Dự trữ | Dự trữ, không được sử dụng. | NA |

Bảng 2: Thanh ghi điều khiển PLL(PLLCON - 0xE01FC080)

PLL phải được thiết đặt, cho phép, và thiết lập khóa (tạo được tần số dao động ổn định) trước khi nó có thể thành nguồn xung nhịp hệ thống. khi chuyển từ tần số dao động ngoài thành xungnhịp PLL hoặc ngược lại, mạch dao động nội được vận hành để đảm bảo rằng không tạo ra các *glitches*. Phần cứng thì không đảm bảo rằng PLL được khóa (dao động ổn định với tần số mong muốn) trước khi kết nối hay sẽ tự động không kết nối khi tần số dao động không ổn định. Nếu xảy ra lỗi trên xung nhịp PLL khi đang hoạt động, kết quả giống như xung nhịp máy tạo dao động không ổn định và việc không kết nối PLL sẽ phải bắt buộc trong trường hợp này.

II.3. Thanh ghi tạo cấu hình PLL(PLLCFG - 0xE01FC084)

Thanh ghi PLLCFG chứa các giá trị của bộ nhân và chia của PLL. Sự thay đổi giá trị của thanh ghi này chỉ có tác dụng khi mà việc cập nhật giá trị PLL mới đã diễn ra hợp lệ<Xem thanh ghi cập nhật giá trị PLL liên tục(PLLFEED - 0xE01FC08C)>

| PLLCFG | Tên chức năng | Chú thích chức năng | Giá trị reset |
|--------|---------------|---|---------------|
| 4:0 | MSEL4:0 | Giá trị bộ nhân của PLL. Multiplier value. Đưa ra giá trị "M" ở phép tính tần số PLL. | 0 |
| 6:5 | PSEL1:0 | Giá trị bộ chia của PLL. Multiplier value. Đưa ra giá trị "P" ở phép tính tần số PLL. | 0 |
| 7 | Dự trữ | Dự trữ, không được sử dụng | NA |

Bảng 3: Thanh ghi cấu hình cho PLL(PLLCFG - 0xE01FC084)

II.4. Thanh ghi trạng thái PLL(PLLSTAT - 0xE01FC088)

Thanh ghi chỉ đọc này cho ta các giá trị thông số của PLL có tác động ngay thời điểm đọc.

| PLLSTAT | Tên chức năng | Diễn giải chức năng | Giá trị reset |
|---------|---------------|--|---------------|
| 4:0 | MSEL4:0 | Giá trị bộ nhân hiện tại của PLL. | 0 |
| 6:5 | PSEL1:0 | Giá trị bộ chia hiện tại của PLL. | 0 |
| 7 | Dự trữ | Dự trữ, không được sử dụng | NA |
| 8 | PLLE | Giá trị bit cho phép PLL hiện tại. +PLLE='1': PLL đang sử dụng. +PLLE='0': PLL không được sử dụng. Bit này sẽ tự động xóa khi vào chế độ Power Down. | 0 |
| 9 | PLLC | Giá trị bit điều khiển PLL hiện tại. +PLLC-PLLE='11': PLL đang sử dụng và được kết nối vào nguồn xung nhịp. +PLLC-PLLE≠'11': PLL không được sử dụng, nguồn dao động lúc này lấy từ xung nhịp ngoài. Bit này sẽ tự động xóa khi vào chế độ Power Down. | 0 |
| 10 | PLOCK | Bit cho biết trạng thái khóa của PLL. +PLOCK='1': PLL đã hoạt động ổn định tại tần số mong muốn. +PLOCK='0': PLL chưa hoạt động ổn định tại tần số mong muốn. | 0 |
| 15:11 | Dự trữ | Dự trữ, không được sử dụng | NA |

Bảng 4: Thanh ghi trạng thái PLL(PLLSTAT - 0xE01FC088)

+Ngắt PLL:

Bit PLOCK trên thanh ghi PLLSTAT được nối với bộ điều khiển ngắt. nó cho phép chương trình phần mềm tích cực PLL và tiếp tục thực hiện các chức năng khác mà không cần đợi PLL xác lập tại tần số mong muốn. Khi ngắt xảy ra (PLOCK='1'), PLL có thể được kết nối, và không cho phép ngắt.

II.5. Các chế độ hoạt động của PLL:

| PLL_C | PLL_E | Chức năng PLL |
|-------|-------|--|
| 0 | 0 | Tắt PLL và không kết nối với nguồn. Hệ thống hoạt động nhờ ngõ vào xung nhịp cố định. |
| 0 | 1 | Mở PLL nhưng chưa chắc đã kết nối với nguồn. PLL có thể kết nối sau khi PLOCK được xác nhận. |
| 1 | 0 | Giống trường hợp '00'. |
| 1 | 1 | Cho phép và kết nối PLL với nguồn tạo dao động. MCU hoạt động nhờ ngõ ra xung nhịp của PLL. |

Bảng 5: Kết hợp các bit điều khiển PLL

II.6. Thanh ghi cập nhật giá trị PLL liên tục (PLLFEED¹ - 0xE01FC08C)

Giá trị cập nhật liên tục phải được ghi vào các thanh ghi PLLFEED nhằm mục đích các thay đổi ở PLLCON và PLLCFG diễn ra, quá trình cập nhật giá trị ấy bao gồm:

1. PLLFEED=0xAA
2. PLLFEED=0x55

Phải thực hiện đúng trình tự cập nhật giá trị như trên, và phải trong các chu kỳ xung nhịp liên tục. Điều cần lưu ý nữa là các ngắt trong quá trình cập nhật liên tiếp giá trị cho PLL đều không được phép xảy ra. Nếu 1 trong 2 giá trị cập nhật là không đúng, hoặc 1 trong những lưu ý không được tuân thủ nghiêm ngặt, những thay đổi trên thanh ghi PLLCON hoặc PLLCFG sẽ không có tác dụng.

| PLLFEED | Tên chức năng | Diễn giải chức năng | Giá trị Reset |
|---------|---------------|--|----------------|
| 7:0 | PLLFEED | Quá trình cập nhật liên tục PLL phải được ghi vào thanh ghi này để sự thay đổi cấu hình và điều khiển thanh ghi PLL có tác dụng. | Không xác định |

Bảng 6: Thanh ghi cập nhật giá trị PLL liên tục(PLLFEED - 0xE01FC08C)

II.7. PLL và chế độ Power Down:

Chế độ Power Down sẽ tự động tắt và không kết nối PLL. Wakeup từ Power Down không tự động cập nhật lại các giá trị thiết đặt của PLL. Điều đó phải được làm bằng chương trình phần mềm. Bởi vậy, cần có chương trình gọi ngay PLL khi các ngắt làm cho hệ thống WakeUp từ Power Down, lưu ý là không được dùng các thông số *sẵn có* trên PLL trước khi vào Power Down, vì nó đã mất đi hoặc tùy định.

II.8. Tính toán tần số hoạt động của PLL:

Các thông số đáng chú ý:

- ❖ Fosc: Tần số dao động của tinh thể.
- ❖ Fcco: Tần số của máy dao động được điều khiển hiện tại.
- ❖ CCLK: ngõ ra PLL <chu kỳ xung nhịp của hệ thống>
- ❖ M: Hệ số nhân của PLL
- ❖ P: Hệ số chia của PLL.

Tần số ngõ ra PLL có thể tính từ công thức:

$$CCLK = M \times f_{osc} = \frac{f_{osc}}{2P}$$

Tần số CCO có thể tính nhờ công thức:

$$f_{cco} = CCLK \times 2P = 2P \times M \times f_{osc}$$

- Fosc=[10 MHz:25 MHz].
- CCLK=[10 MHz:Fmax] (tần số tối đa cho phép của LPC2214)
- Fcco =[156 MHz:320 MHz]

¹ Có tài liệu dịch 'feed=cho ăn'

II.9. Thủ tục xác định cấu hình PLL:

Trong những ứng dụng cụ thể sử dụng PLL, nó được cấu hình như sau:

1. Chọn CCLK mong muốn.
2. Chọn F_{osc} .
3. Tính M từ công thức: $M=CCLK/F_{osc}$. $M=[1:32]$. Giá trị viết vào bit MSEL trên thanh ghi PLLCFG= $M-1$.
4. Tính P từ công thức.

| <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 50%;">Các bit PSEL PLLCFG[6:5]</th> <th style="width: 50%;">Giá trị của P</th> </tr> <tr> <td style="text-align: center;">00</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">01</td> <td style="text-align: center;">2</td> </tr> <tr> <td style="text-align: center;">10</td> <td style="text-align: center;">4</td> </tr> <tr> <td style="text-align: center;">11</td> <td style="text-align: center;">8</td> </tr> </table> <p>Bảng 7: Giá trị các hệ số chia của PLL</p> | Các bit PSEL PLLCFG[6:5] | Giá trị của P | 00 | 1 | 01 | 2 | 10 | 4 | 11 | 8 | <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 50%;">Các bit MSEL CFG[4:0]</th> <th style="width: 50%;">Giá trị của M</th> </tr> <tr> <td style="text-align: center;">00000</td> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">00001</td> <td style="text-align: center;">2</td> </tr> <tr> <td style="text-align: center;">00010</td> <td style="text-align: center;">3</td> </tr> <tr> <td style="text-align: center;">00011</td> <td style="text-align: center;">4</td> </tr> <tr> <td style="text-align: center;">...</td> <td style="text-align: center;">...</td> </tr> <tr> <td style="text-align: center;">11110</td> <td style="text-align: center;">31</td> </tr> <tr> <td style="text-align: center;">11111</td> <td style="text-align: center;">32</td> </tr> </table> <p>Bảng 8: Các giá trị của bộ nhân PLL</p> | Các bit MSEL CFG[4:0] | Giá trị của M | 00000 | 1 | 00001 | 2 | 00010 | 3 | 00011 | 4 | ... | ... | 11110 | 31 | 11111 | 32 |
|--|--------------------------|---------------|----|---|----|---|----|---|----|---|---|-----------------------|---------------|-------|---|-------|---|-------|---|-------|---|-----|-----|-------|----|-------|----|
| Các bit PSEL PLLCFG[6:5] | Giá trị của P | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 00 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 01 | 2 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 10 | 4 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 11 | 8 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| Các bit MSEL CFG[4:0] | Giá trị của M | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 00000 | 1 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 00001 | 2 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 00010 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 00011 | 4 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| ... | ... | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 11110 | 31 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 11111 | 32 | | | | | | | | | | | | | | | | | | | | | | | | | | |

Vi dụ về PLL: Hệ thống thiết kế có $F_{osc}=10\text{MHz}$ và cần $CCLK=60\text{MHz}$.

Lời giải:

$M=CCLK/F_{osc}=6 \rightarrow M-1=5 \rightarrow PLLCFG[4:0]='00101'$

$P= Fcco / (CCLK \times 2)$, sử dụng điều kiện: $Fcco=[156\text{MHz}:320\text{MHz}]$

$\rightarrow P=[1.36:2.37] \rightarrow P=2 \rightarrow PLLCFG[6:5] = '01'$.

A.III. Điều khiển nguồn:

LPC2214 có 2 chế độ tiết kiệm nguồn: Idle và Power Down:

+Trong chế độ Idle, tất cả các chỉ lệnh điều trị hoãn tới khi quá trình Reset xảy ra, ngoại vi vẫn hoạt động trong chế độ Idle và có thể sinh ra ngắt để đưa hệ thống trở lại hoạt động bình thường.

+Trong chế độ Power Down, xung nhịp hệ thống không còn hoạt động, các chân ngoại vi ở trạng thái tĩnh. Năng lượng tiêu thụ gần như bằng 0. Có thể phục hồi hệ thống từ Power Down bằng cách Reset hoặc ngắt ngoại vi.

Chức năng điều khiển nguồn cho ngoại vi cho phép từng chân ngoại vi riêng biệt hoạt động, hoặc không hoạt động, và hệ thống sẽ tiết kiệm năng lượng hơn nữa.

III.1. Diễn tả thanh ghi:

| Địa chỉ | Tên chức năng | Diễn tả chức năng | Truy cập |
|------------|---------------|---|----------|
| 0xE01FC0C0 | PCON | Thanh ghi điều khiển nguồn. Thanh ghi này chứa các bit điều khiển để vận hành 1 trong 2 chế độ Power down hoặc Idle. | Đọc/Ghi |
| 0xE01FC0C4 | PCONP | Thanh ghi điều khiển nguồn cho ngoại vi. Thanh ghi này chứa các bit điều khiển để cho phép/không cho phép từng chức năng riêng biệt của ngoại vi. | Đọc/Ghi |

Bảng 9: Các thanh ghi điều khiển nguồn

III.2. Thanh ghi điều khiển nguồn (PCON-0xE01FC0C0):

Thanh ghi này chứa 2 bit: IDL và PD. Chi tiết xem bảng dưới đây:

| PCON | Tên chức năng | Diễn tả chức năng | Giá trị Reset |
|------|---------------|---|---------------|
| 0 | IDL | Chế độ Idle. Khi IDL='1', một số chân ngoại vi vẫn còn hoạt động, nguồn ngắt ngoại vi hoặc Reset ngoại vi được sử dụng để phục hồi lại trạng thái hoạt động. | 0 |
| 1 | PD | Chế độ Power Down. Khi PD='1' sẽ làm cho tất cả các dao động trong chip dừng hẳn, điều khiển wakeup sẽ làm cho hệ thống khởi động lại, xóa PD và phục hồi các lệnh. | 0 |
| 7:2 | Dự trữ | Dự trữ, không được sử dụng | NA |

Bảng 10: Thanh ghi điều khiển nguồn PCON

III.3. Thanh ghi điều khiển nguồn cho ngoại vi(PCONP-0xE01FC0C4):

| PCONP | Tên chức năng | Diễn tả chức năng | Giá trị Reset |
|-------|---------------|--|---------------|
| 0 | Dự trữ | Dự trữ, không được sử dụng | 0 |
| 1 | PCTIM0 | PCTIM0='1', TIMER0 được sử dụng-PCTIM0='0', không sử dụng TIMER0 | 1 |
| 2 | PCTIM1 | Tương tự với TIMER1 | 1 |
| 3 | PCURT0 | PCURT0='1', UART0 được sử dụng-PCURT0='0', không sử dụng UART0. | 1 |
| 4 | PCURT1 | PCURT1='1', UART1 được sử dụng-PCURT1='0', không sử dụng UART1 | 1 |
| 5 | PCPWM0 | PCPWM0='1', PWM0 được sử dụng-PCPWM0='0', không sử dụng PWM0 | 1 |
| 6 | Dự trữ | Dự trữ, không được sử dụng | 0 |
| 7 | PCI2C | PCI2C ='1', giao tiếp I2C được sử dụng- PCI2C ='0' không sử dụng giao tiếp I2C | 1 |
| 8 | PCSPI0 | Tương tự với giao tiếp SPI0 | 1 |
| 9 | PCRTC | Tương tự với RTC | 1 |
| 10 | PCSPI1 | Tương tự với giao tiếp SPI1 | 1 |
| 11 | PCEMC | Tương tự với EMC (điều khiển bộ nhớ ngoài) | 1 |
| 12 | PCAD | Tương tự với bộ biến đổi ADC | 1 |
| 31:13 | Dự trữ | Dự trữ, không được sử dụng | NA |

Bảng 11: Thanh ghi điều khiển nguồn cho ngoại vi

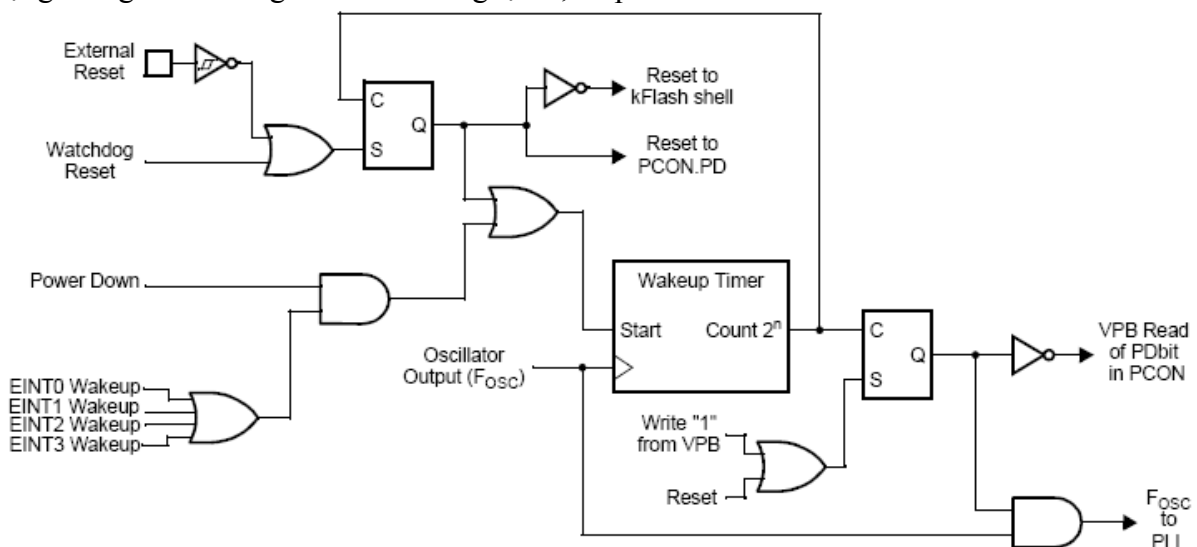
A.IV. Reset:

Có 2 nguồn tạo reset hệ thống: trên chân \overline{RESET} <Reset ngoài> và từ đồng hồ Watchdog <Reset trong>. Tín hiệu Reset hợp lý sẽ khởi động đồng hồ Wakeup Timer.

Với quá trình POR, chân Reset cần phải giữ mức trong vòng 10ms, với quá trình Reset ngoài bình thường khi MCU đang hoạt động, chỉ cần 300ns.

Sau quá trình Reset, vi xử lý bắt đầu thực thi lệnh tại vùng địa chỉ 0x0000 0000. Vector ngắt được định vùng địa chỉ ở khối Boot, giá trị của các thanh ghi được khởi tạo ở những giá trị định nghĩa trước.

Quá trình Reset ngoài và reset trong <Watchdog Timer> có chút ít khác biệt, đó là do thời điểm Reset ngoài ta hoàn toàn biết được, còn Reset trong ta không biết khi nào thì nó xảy ra. Bởi vậy, với quá trình Reset ngoài, ta có thể chủ động đưa nó vào các chế độ hoạt động mong muốn bằng cách kết nối ngoại vi, và phần mềm.



Hình 5: Giải đồ khối reset bao gồm cả đồng hồ Wakeup

A.V. Bộ chia VPB:

Bộ chia VPB cho biết mối quan hệ giữa xung nhịp hệ thống (CCLK) và xung nhịp của ngoại vi (PCLK). Bộ chia VPB có 2 nhiệm vụ:

- + Ngoại vi có thể hoạt động với một tần số thích hợp mong muốn theo CCLK.(1/4, 1/2)
- + Bộ chia VPB cho phép tiết kiệm nguồn khi ứng dụng không đòi hỏi các ngoại vi phải hoạt động ở tần số của vi xử lý.

Vì bộ chia VPB nối kết với ngõ ra PLL nên nó vẫn hoạt động ở chế độ Idle.

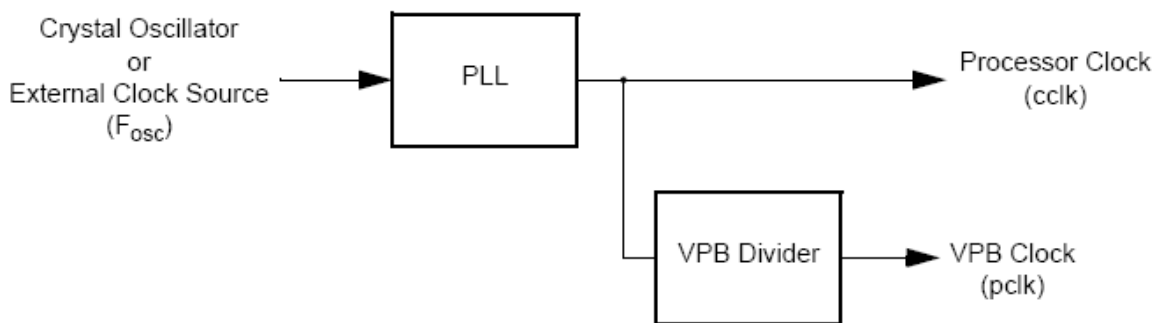
+Thanh ghi của bộ chia VPB (VPBDIV - 0xE01FC100):

| Địa chỉ | Tên | Chức năng | Truy cập |
|------------|--------|--|----------|
| 0xE01FC100 | VPBDIV | Điều khiển tốc độ tương đối của xung nhịp VPB so với xung nhịp vi xử lý. | Đọc/Ghi |

Bảng 12: Thanh ghi VPBDIV

| VPBDIV | Tên chức năng | Diễn tả chức năng | Giá trị Reset |
|--------|---------------|--|---------------|
| 1:0 | VPBDIV | VPBDIV [1:0]='00' → Tốc độ xung nhịp VPB=1/4 xung nhịp hệ thống. VPBDIV [1:0]='01' → Tốc độ xung nhịp VPB= xung nhịp hệ thống. VPBDIV [1:0]='10' → Tốc độ xung nhịp VPB= ½ xung nhịp hệ thống. VPBDIV [1:0]='11' → Không được định nghĩa. Nếu ghi giá trị này vào 2 bit tương ứng, nó không có tác dụng, và giá trị trước được sử dụng. | 0 |
| 3:2 | Dự trữ | Dự trữ, không được sử dụng | 0 |
| 5:4 | XCLKDIV | Điều khiển xung nhịp có thể được lấy ra chân A23/XCLK. Nó có giá trị giống như 2 bit VPBDIV. Phải chọn chân A23 là ngõ ra xung nhịp, định nghĩa chức năng ở thanh ghi PINSEL2 | |
| 7:6 | Dự trữ | Dự trữ, không được sử dụng | 0 |

Bảng 13: Thanh ghi bộ chia VPB (VPBDIV - 0xE01FC100)



Hình 6: Kết nối của bộ chia VPB với PLL

A.VI. Chương trình minh họa:

Để thay đổi các thông số của CCLK theo Fosc, ta làm theo các bước sau:

+Xác định giá trị của Fosc (ví dụ tôi sử dụng Fosc=1 1059200) <lưu ý tầm của Fosc từ 10Mhz đến 25Mhz>

+Xác định giá trị CCLK mong muốn <CCLK=M×Fosc> (10Mhz<Fcco<60Mhz)

+Tìm PSEL(P) và MSEL(M) với các ràng buộc: 156Mhz<Fcco<320Mhz; sử dụng các mối quan hệ:

$$\begin{cases} CCLK = M \times F_{osc} \\ CCLK = \frac{F_{cco}}{2P} \end{cases} \quad \text{ta sẽ tìm được ràng buộc của P:}$$

$$F_{cco} = 2 \times P \times M \times F_{osc}$$

$$\frac{156Mhz}{2CCLK} \leq P \leq \frac{320Mhz}{2CCLK} \rightarrow \frac{78Mhz}{CCLK} \leq P \leq \frac{160Mhz}{CCLK}, \text{ từ đó được (M,P), suy ra}$$

$$\begin{cases} PLLCF[6:5] = P-1 \\ PLLCF[4:0] = M-1 \end{cases}$$

+Cập nhật thông tin thanh ghi PLLCF theo các trình tự sau <chú ý không ghi 1 vào bit 7 của thanh ghi này>

```
{
  PLLCFG &= 0x80;
  PLLCFG |= PLLCFG[6:0];
  //Cập nhật giá trị thanh ghi PLLCFG bằng trình tự PLLFEED
  PLLFEED = 0xaa;
  PLLFEED = 0x55;
  //Chờ tới khi PLL khóa pha cố định <bit PLOCK-bảng 24, hướng dẫn sử dụng, trang
63, bảng thanh ghi PLLSTAT>
  while((PLLSTAT & (1 << 10)) == 0);
  //PLL đã kết nối và đóng vai trò là xung nhịp hệ thống
  PLLCON = 3;
  PLLFEED = 0xaa;
  PLLFEED = 0x55;
}
```

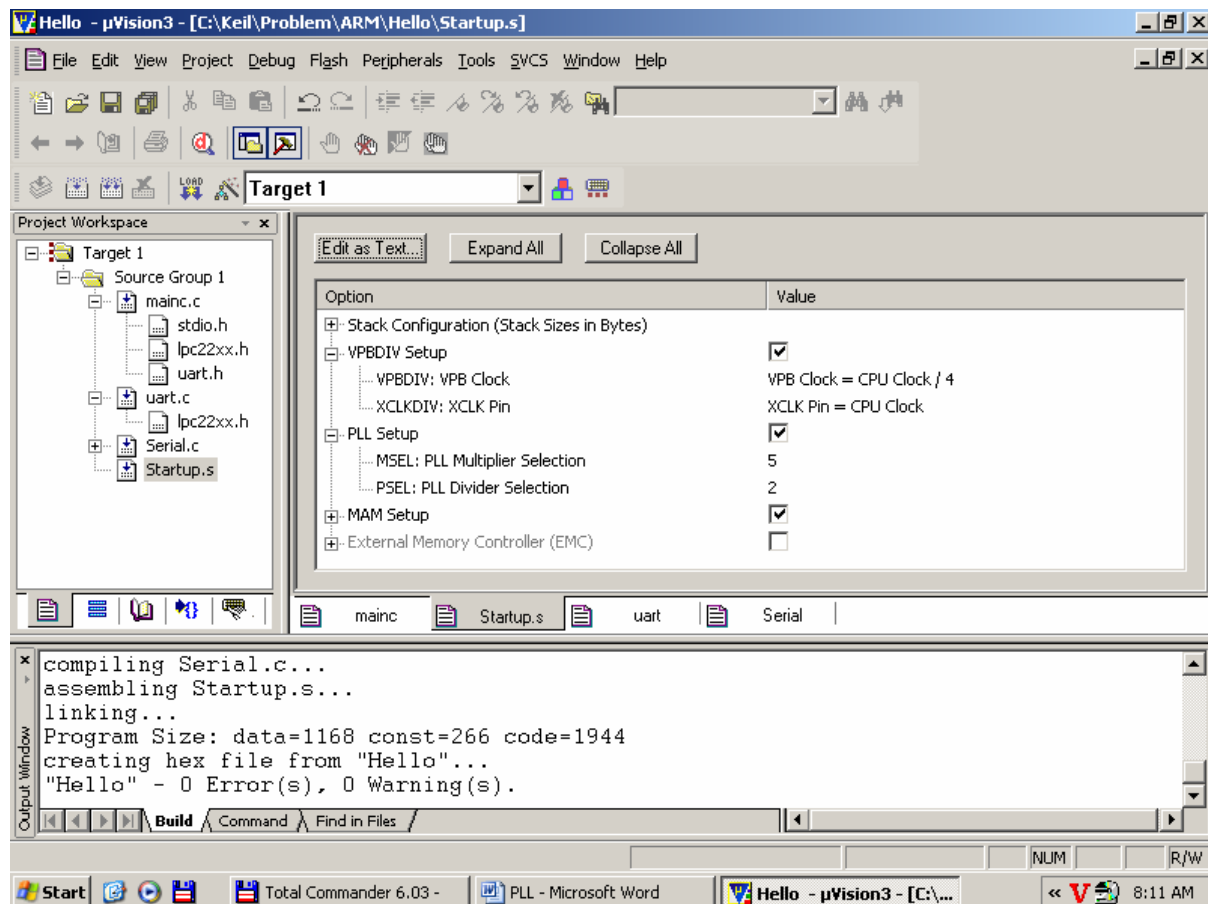
+Cập nhật thanh ghi [VPBDIV](#) theo cách thức sau ([Bảng](#)):

$VPBDIV = XCLKDIV_H - VPBDIV_H$

Giả sử ta muốn hoạt động ở $PCLK = CCLK$, $XCLK = 1/2CCLK$

$\rightarrow VPBDIV = 0x21$;

Chú ý: Keil-uV3 có hỗ trợ ta thay đổi các giá trị này bằng cách sửa tập tin Startup.s, xem hình sau:



Hình 7: Màn hình làm việc khi chỉnh sửa các thông số MSEL, PSEL của Keil-uV3

Cách thay đổi này chỉ có thể làm 1 lần ngay từ đầu chương trình.

B. Kết luận:

Trong bài viết này, tôi đã phân tích rất chi tiết và rõ ràng các thông số liên quan tới PLL. Chương trình minh họa cũng viết sẵn để bạn tham khảo. Kết quả thực tế đã được kiểm tra không có sai sót.

Mọi trao đổi khác <nếu có> về đề tài này, vui lòng gửi về:

Email : buitrunghieu@khvt.com
 Cell : (+84)98.3210.906

Tài liệu tham khảo chính:

- 📁 Datasheets và User Manual của LPC2214 ©Philips Semiconductors
- 📁 Một số tài liệu từ trang web: <http://www.arm.com>
- 📁 Sử dụng Keil-uV3 để viết chương trình. Giao tiếp ISP thông qua COM1 LPC2000 sử dụng Flash Utility Ver2.1.0.