

TRƯỜNG ĐẠI HỌC BÁCH KHOA TP HỒ CHÍ MINH

**KHOA ĐIỆN_ ĐIỆN TỬ
BỘ MÔN ĐIỆN TỬ VIỄN THÔNG**

ĐỒ ÁN MÔN HỌC

**ĐỀ TÀI: THIẾT KẾ BỘ KHUẾCH ĐẠI CÔNG SUẤT ÂM TẦN
BTL = 2 OCL ,CÓ MẠCH BỔ CHÍNH NHIỆT**

**GVHD : TS. PHẠM HỒNG LIÊN
SVTH : NGUYỄN ĐỨC HOÀNG
MSSV : 40200899**

Tp HCM ,26/1/2005

NỘI DUNG YÊU CẦU

A. Số liệu ban đầu :

- 1. Công suất ra : $P_L = 300 \dots\dots\dots W$
- 2. Trở kháng tải : $R_L = 8 \dots\dots\dots \Omega$
- 3. Điện áp vào : $V_{in} = 0.75 \dots\dots\dots V$
- 4. Dải tần : $f_{min} : f_{max} = 100 : 18000 \text{ .Hz}$
- 5. Hiệu suất : $\eta > 65 \dots\dots\dots \%$
- 6. Hệ số méo phi tuyến : $\gamma = 10 \% \rightarrow \gamma_f = 0.5 \dots \%$
- 7. Trở kháng vào : $Z_{in} = 50\,000 \dots\dots\dots \Omega$

B. Nhiệm vụ thiết kế :

- 1. Nghiên cứu lý thuyết mạch khuếch đại công suất âm tần lớp B
- 2. Tính toán dựa vào trên mạch mẫu cho kèm theo . Kết quả tính toán phải đáp ứng được các yêu cầu ban đầu và linh kiện phải phù hợp với linh kiện chuẩn .
- 3. Trình bày đồ án bằng chữ đánh máy trên giấy A4 .

NỘI DUNG TRÌNH BÀY

Phần I:

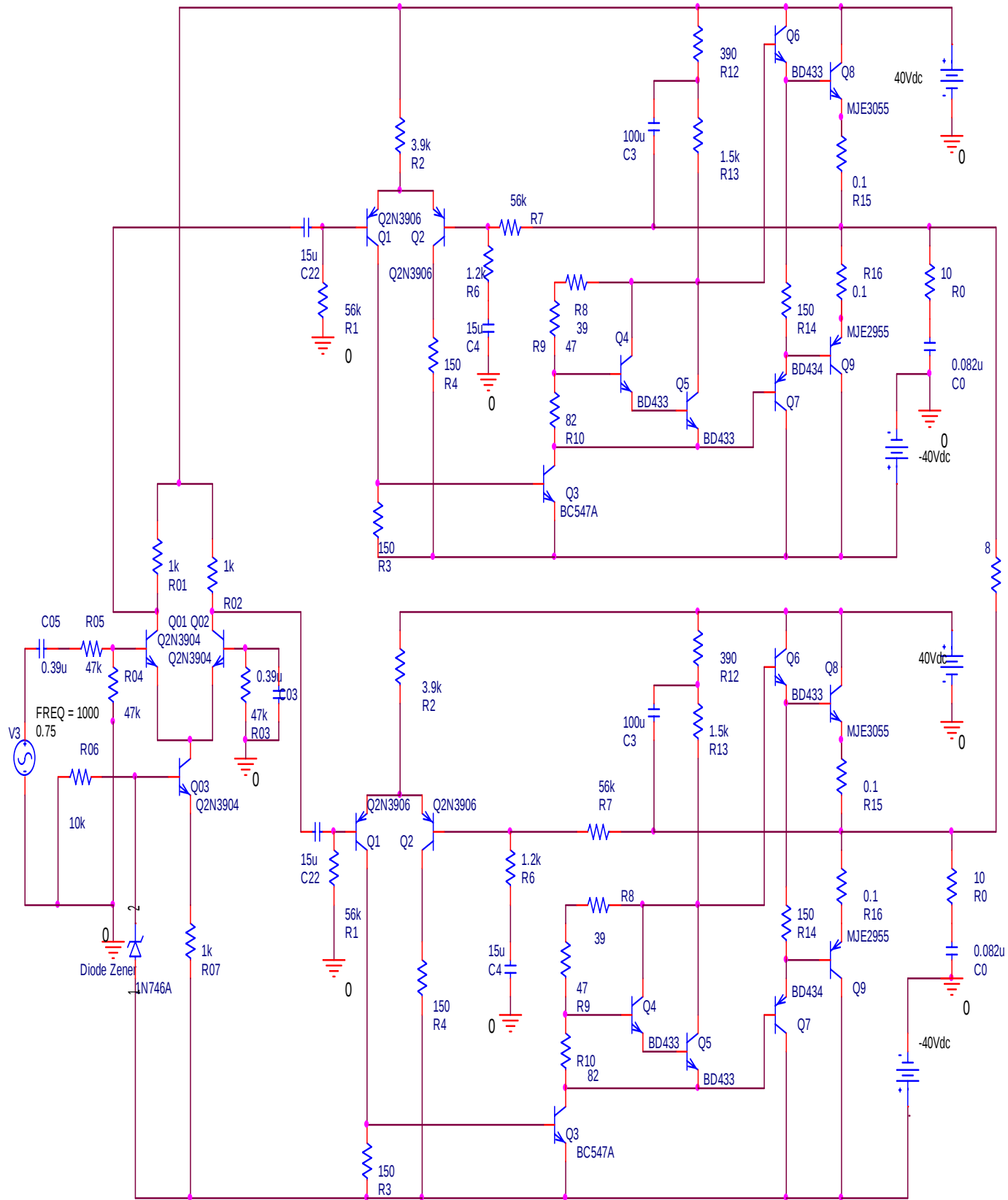
Nghiên cứu lý thuyết mạch khuếch đại công suất âm tần đẩy kéo lớp B

- A. Bộ khuếch đại công suất âm tần đẩy kéo lớp B dùng biến áp.
- B. Bộ khuếch đại công suất âm tần đẩy kéo lớp B dùng Transistor bổ phụ .

Phần II:

Thiết kế bộ khuếch đại công suất âm tần đẩy kéo BTL=2OCL, có mạch bảo chính nhiệt .

- A. Thiết kế mạch.
- B. Kiểm tra kết quả bằng lý thuyết .
- C. Datasheet của của transistor sử dụng.
- D. Kiểm tra kết quả bằng chương trình mô phỏng OrCAD.



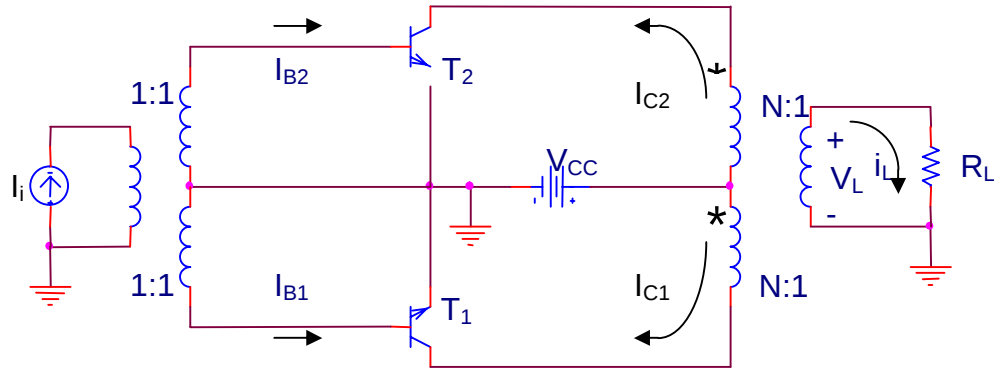
MẠCH KHUẾCH ĐẠI BTL 300W

Phần I:

Nghiên cứu lý thuyết mạch khuếch đại công suất âm tần đẩy kéo

lớp B

A. Bộ khuếch đại công suất âm tần đẩy kéo dùng biến áp.



*Nguyên lý hoạt động :

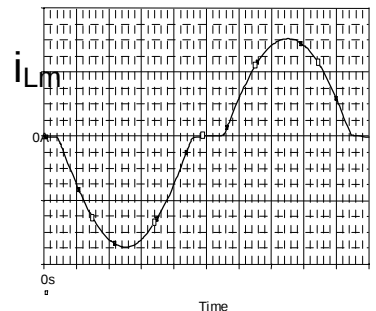
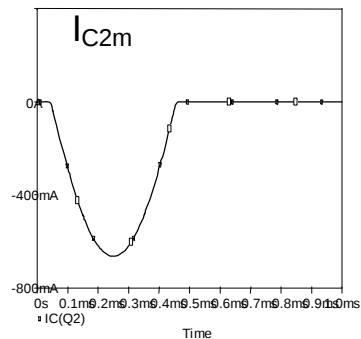
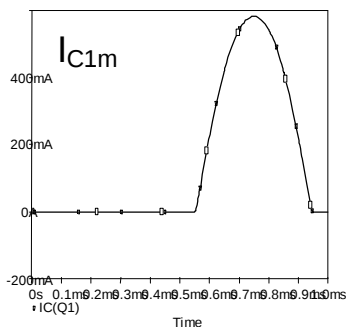
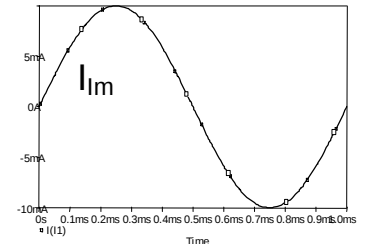
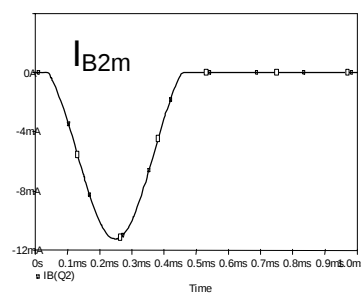
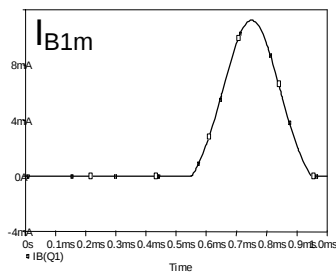
+ Ở $1/2 T > 0$, giả sử T_1 tắt : $i_{B1} = 0 \rightarrow i_{C1} = 0$, T_2 dẫn : $i_{B2} > 0 \rightarrow i_{C2} > 0$

+ Ở $1/2 T < 0$, T_2 tắt : $i_{B2} = 0 \rightarrow i_{C2} = 0$, T_1 dẫn : $i_{B1} > 0 \rightarrow i_{C1} > 0$.

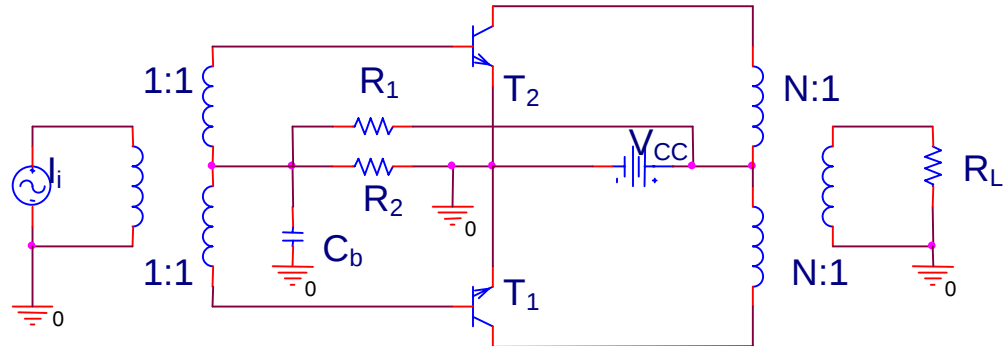
Như vậy ở $1/2 T$ này T_1 tắt T_2 dẫn thì ở $1/2 T$ kia T_1 dẫn T_2 tắt .

Dòng ở tải là : $i_L = N.(i_{C1} - i_{C2})$.

Ta có dạng sóng i_i , i_{B1} , i_{B2} , i_{C1} , i_{C2} , i_L :

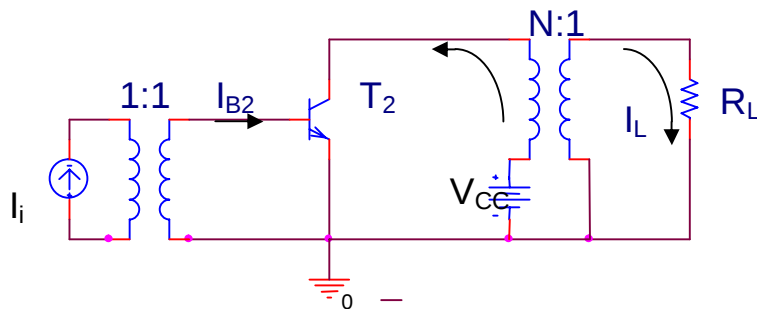


***Nhận xét :** Ta thấy dạng sóng ngõ ra bị méo xuyên tâm. Đó là do điện áp lớp tiếp giáp emitter_base $V_{BE} = 0$ khi không có tín hiệu vào. Để khắc phục hiện tượng này ta cần phân cực cho lớp tiếp giáp emitter_base gần ngưỡng dẫn ,tức là $V_{BE} = 0.7V$.Khi đó ta có mạch hoạt động ở chế độ lớp AB gần B thay vì lớp B.



I.Xác định đường tải :

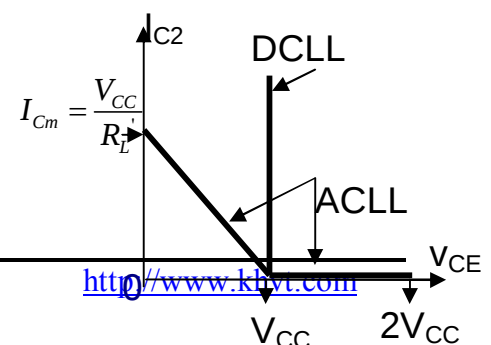
Bởi vì mỗi transistor hoạt động trong một cấu hình đối xứng và chỉ một 1/2 chu kỳ nên chúng ta chỉ cần nghiên cứu hoạt động một transistor . Xét T_2 như hình vẽ :



+DCLL là một đường thẳng đứng $v_{CE} = V_{CC}$ và ACLL có độ dốc là :

$$\frac{i_C}{v_{CE}} = -\frac{1}{R_L}$$

như hình vẽ :

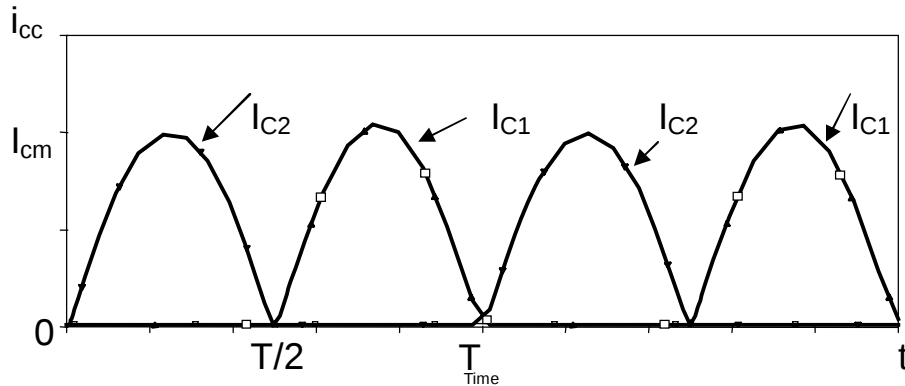


II. Tính toán công suất:

Giả sử tín hiệu là hình sin $i_i = I_{im} \cdot \sin \omega t$

Giá trị maximum của cả i_{C1} và i_{C2} là : $I_{Cm} = \frac{V_{CC}}{R_L'}$

***Công suất nguồn cung cấp :**



$$P_{CC} = V_{CC} \left(\frac{1}{T} \right) \int_{-T/2}^{T/2} [i_{C1}(t) + i_{C2}(t)] dt$$

Từ hình vẽ ta có $[i_{C1}(t) + i_{C2}(t)]$ là dòng chỉnh lưu toàn kỳ nên giá trị trung bình bằng $2/\pi$ lần giá trị đỉnh. Do đó

$$\left(\frac{1}{T} \right) \int_{-T/2}^{T/2} [i_{C1}(t) + i_{C2}(t)] dt = \left(\frac{2}{\pi} \right) I_{cm} \quad (1)$$

Khi đó công suất nguồn cung cấp là :

$$P_{CC} = \left(\frac{2}{\pi} \right) V_{CC} I_{cm} \quad (2)$$

giá trị đỉnh là :

$$P_{CC \max} = \left(\frac{2}{\pi} \right) V_{CC} \frac{V_{CC}}{R_L'} = \frac{2V_{CC}^2}{\pi R_L'} \quad (3)$$

***Công suất truyền đến tải :**

$$P_L = \frac{1}{2} \cdot I_{Lm}^2 \cdot R_L = \frac{1}{2} \cdot I_{cm}^2 \cdot N^2 \cdot R_L = \frac{1}{2} \cdot I_{cm}^2 \cdot R_L' \quad (4)$$

giá trị đỉnh là:

$$P_{L \max} = \frac{V_{CC}^2}{2 R_L'} \quad (5)$$

***Công suất tiêu tán trong collector:**

Tổng công suất tiêu tán trong collector của 2 transistor T_1 và T_2 :

$$2P_C = P_{CC} - P_L$$

thay (2) và (4) vào :

$$2P_C = \left(\frac{2}{\pi}\right) V_{CC} I_{cm} - \frac{1}{2} \cdot I_{cm}^2 \cdot R_L' \quad (6)$$

giá trị maximum P_{Cmax} được tìm bằng cách lấy vi phân P_C theo I_{cm} rồi cho bằng 0:

$$2 \left(\frac{dP_C}{dI_{cm}} \right) = \left(\frac{2}{\pi} \right) V_{CC} - I_{cm} \cdot R_L' = 0 \quad (7)$$

dòng collector mà tại đó tiêu tán collector maximum là :

$$I_{cm} = \left(\frac{2}{\pi} \right) \cdot \frac{V_{CC}}{R_L'} \quad (8)$$

kết hợp (6) và (8) , tiêu tán collector maximum là :

$$2P_{Cmax} = \left(\frac{2}{\pi} \right) V_{CC} \cdot \left(\frac{2}{\pi} \cdot \frac{V_{CC}}{R_L'} \right) - \left(\frac{R_L'}{2} \right) \left[\left(\frac{2}{\pi} \cdot \frac{V_{CC}}{R_L'} \right) \right]^2 = \left(\frac{2}{\pi^2} \right) \cdot \left(\frac{V_{CC}^2}{R_L'} \right)$$

khi đó công suất tiêu tán trong mỗi collector là :

$$P_{Cmax} = \left(\frac{1}{\pi^2} \right) \cdot \left(\frac{V_{CC}^2}{R_L'} \right) \approx 0.1 \left(\frac{V_{CC}^2}{R_L'} \right) \quad (10)$$

***Hiệu suất:**

$$\eta = \frac{P_L}{P_{CC}} = \frac{\frac{1}{2} \cdot I_{cm}^2 \cdot R_L'}{\left(\frac{2}{\pi} \right) V_{CC} I_{cm}} = \left(\frac{\pi}{4} \right) \cdot \left(\frac{I_{cm}}{V_{CC} / R_L'} \right)$$

Bởi vì dòng collector maximum có thể đạt được là V_{CC}/R_L' ,nên hiệu suất maximum có thể đạt được : $\eta_{max} = \pi/4 = 78.5\% \rightarrow$ đây là ưu điểm lớn nhất của mạch khuếch đại đẩy kéo lớp B.

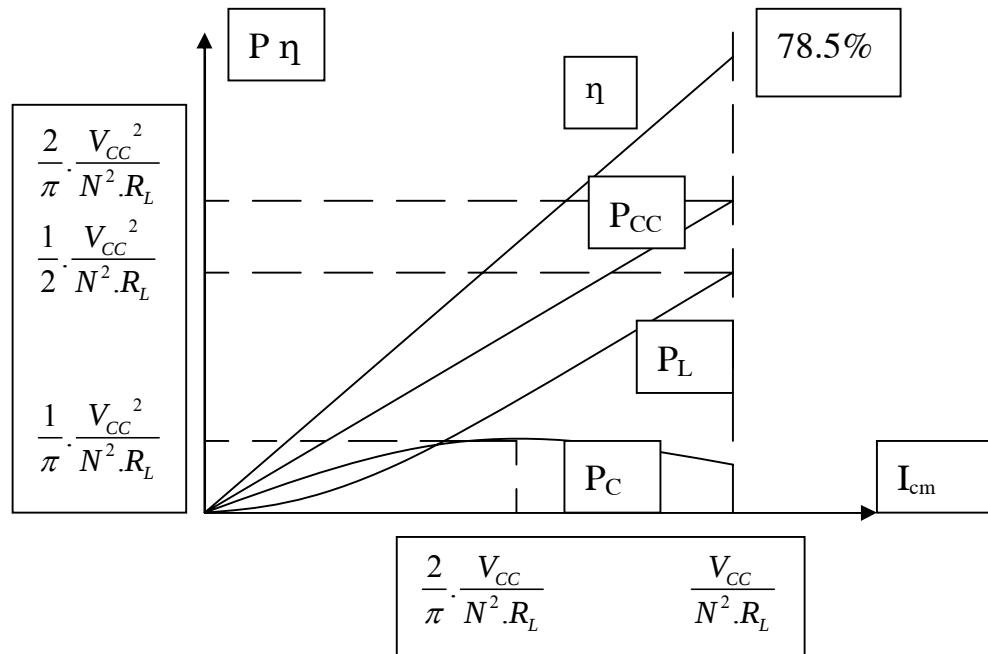
***Hệ số phẩm chất :**

$$\frac{P_{Cmax}}{P_{Lmax}} = \frac{V_{CC}^2 / \pi^2 R_L'}{V_{CC}^2 / 2 R_L'} = \frac{2}{\pi^2} \approx \frac{1}{5}$$

Do đó nếu $P_{Lmax} = 25W$ thì mỗi collector chỉ phải tiêu tán 5W. Trong khi nếu hoạt động ở chế độ lớp A thì transistor phải có khả năng tiêu tán 50W.

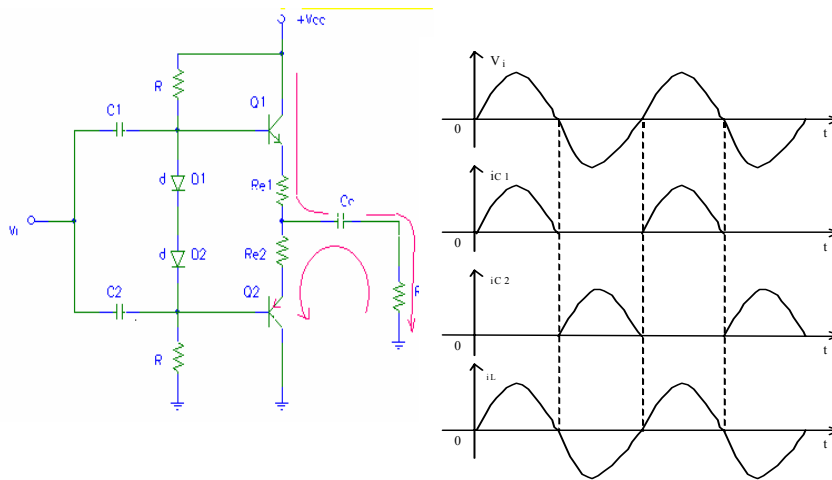
Một ưu điểm khác ở chế độ lớp B là dòng qua nguồn bằng 0 khi không có tín hiệu trong khi ở chế độ lớp A dòng này bằng dòng toàn tải.

***Công suất nguồn cung cấp, công suất tải, tiêu tán collector và hiệu suất được vẽ như sau :**



B. Bộ khuếch đại công suất âm tần đẩy kéo lớp B dùng Transistor bổ phụ :

- Nhược điểm của mạch khuếch đại công suất âm tần đẩy kéo dùng biến áp ra là giá thành cao và cồng kềnh. Vì vậy, đối với các bộ khuếch đại công suất âm tần có công suất không lớn lắm, người ta thường dùng bộ khuếch đại công suất âm tần không biến áp ra dùng Transistor bổ phụ.
 - Cặp Transistor bổ phụ là hai Transistor khác cực tính dẫn điện NPN và PNP nhưng có các tham số gần giống nhau.
- a) **Bộ khuếch đại công suất âm tần đẩy kéo OTL :**



* Nguyên lý hoạt động :

+ $\frac{1}{2} T > 0 \rightarrow Q_1$ dẫn : $i_{C1} \neq 0$; Q_2 tắt : $i_{C2} = 0$; i_{C1} nạp cho tụ C_c đến giá trị $\frac{V_{CC}}{2}$ (C_c được chọn khá lớn).

+ $\frac{1}{2} T < 0 \rightarrow Q_1$ tắt : $i_{C1} = 0$; Q_2 dẫn : $i_{C2} \neq 0$ do tụ C_c phóng điện qua Q_2 .

+ Trong cả hai nửa chu kỳ dòng i_{C1} và i_{C2} chảy ngược chiều nhau trên tải R_L nên ta có $i_L = i_{C1} - i_{C2}$ và i_L có dạng sóng sine. Do Q_1 có các tham số như Q_2 nên $I_{Cm1} = I_{Cm2}$.

* Hai diode D_1 và D_2 tạo phân cực và ổn định nhiệt độ cho Q_1 và Q_2 . R_{E1}, R_{E2} cũng để tăng độ ổn định nhiệt độ cho Q_1, Q_2 . Q_1, Q_2 mắc theo kiểu collector chung (mạch phát theo) để phối hợp trở kháng với tải R_L (thường có giá trị 4Ω hoặc 8Ω).

* Tần số cắt thấp phụ thuộc vào C_c được tính như sau :

$$f_1(C_c) = \frac{1}{2\pi(R_L + R_E)C_c} \quad (\text{Hz}) \quad (1)$$

* Do có R_E nên dòng tải đỉnh là :

$$I_{pL} = I_{Lm} = \frac{V_p}{R_E + R_L} = \frac{V_{Lm}}{R_E + R_L} \quad (2)$$

* Ở điều kiện tín hiệu cực đại (max-swing) ta có :

$$I_{Lm_{\max}} = \frac{V_{CC}}{2(R_E + R_L)} \quad (2') \quad (V_{Lm_{\max}} = \frac{V_{CC}}{2})$$

* Giá trị trung bình của dòng cung cấp là :

$$I_{TB} = I_{STB} = \frac{V_p}{\pi(R_E + R_L)} \quad (3)$$

$$\text{Khi max-swing ta có : } I_{TB_{\max}} = \frac{V_{CC}}{2\pi(R_E + R_L)} \quad (3')$$

* Công suất cung cấp một chiều trên tải :

$$P_{CC} = P_S = V_{CC} \cdot I_{STB} = \frac{V_{CC} \cdot V_p}{\pi(R_E + R_L)} = \frac{V_{CC} \cdot V_{Lm}}{\pi(R_E + R_L)} \quad (4)$$

$$\text{Khi max-swing ta có : } P_{C_{c\max}} = \frac{V_{CC}^2}{2\pi(R_E + R_L)} \quad (4')$$

* Công suất AC trung bình được phân phối trên tải là :

$$P_L = \frac{1}{2} I_{pL}^2 \cdot R_L = \frac{1}{2} I_{Lm}^2 \cdot R_L = \frac{V_p^2 \cdot R_L}{2(R_E + R_L)^2} \quad (5)$$

$$\text{Khi max-swing ta có : } P_{L_{\max}} = \frac{1}{8} \cdot \frac{V_{CC}^2 \cdot R_L}{(R_E + R_L)^2} \quad (5')$$

$$\text{* Hiệu suất của mạch : } \eta = \frac{P_L}{P_{CC}} = \frac{\pi}{2} \cdot \frac{R_L}{R_E + R_L} \cdot \frac{V_p}{V_{CC}} \quad (6)$$

$$\text{Khi max-swing ta có : } V_p = \frac{V_{CC}}{2} \text{ nên } \eta_{\max} = \frac{\pi}{4} \cdot \frac{R_L}{R_E + R_L} \quad (6')$$

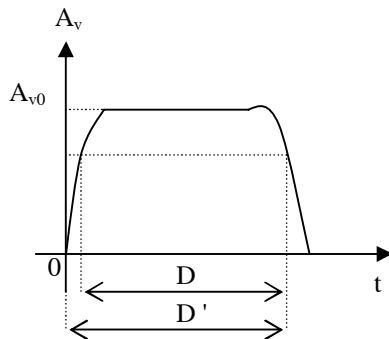
$$\text{Nếu } R_E = 0 \text{ ta có : } \eta_{\max} = \frac{\pi}{4} = 0,785 = 78,5 \% \quad (6'')$$

Vậy đối với bộ khuếch đại công suất âm tần đẩy kéo lớp B thì $\eta_B \leq 78,5\%$. Khi mạch làm việc ở chế độ AB để giảm méo phi tuyến thì $\eta = 60 \div 70 \%$.

* Công suất tiêu tán trên collector : $P_C = P_{CC} - P_L$ (7)

$$P_{C_{\max}} = P_{CC} \quad (7') \text{ khi } P_L = 0$$

* Ưu điểm của mạch OTL : tiết kiệm do chỉ dùng một nguồn cung cấp.



* Khuyết điểm :

– Méo tần số thấp do tụ C_c gây ra (do C_c không thể tiến tới ∞)

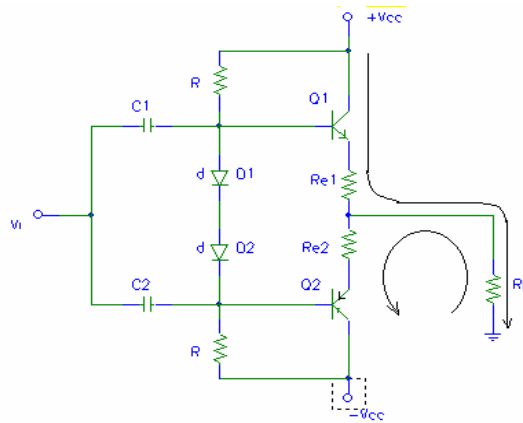
– Méo phi tuyến lớn do 2 tầng Q_1, Q_2 không thật đối xứng (do V_C không phải lúc nào cũng đúng bằng $\frac{V_{CC}}{2}$).

– Băng thông bị co hẹp do tụ C_c ($D < D'$).

Để khắc phục những khuyết điểm trên ta dùng bộ khuếch đại công suất âm tần đẩy kéo kiểu OCL (không có tụ C_C).

b) *Bộ khuếch đại công suất âm tần đẩy kéo OCL :*

Mạch OCL chỉ khác mạch OTL ở chỗ không có tụ ra C_C nên không có các khuyết điểm như mạch OTL, nhưng lại phải cần đến hai nguồn cung cấp $+V_{CC}$ và $-V_{CC}$. Nguyên lý hoạt động, dạng sóng và tác dụng của các linh kiện như D_1 , D_2 , R_{E1} , R_{E2} đều giống mạch OTL. Các công thức (2), (3), (4), (5), (6) đều đúng, chỉ khác là ở chế độ max-swing thì $V_{Lm_{max}} = V_{CC}$, nên các công thức (2'), (3'), (4'), (5'), (6') sẽ có dạng như sau :



$$I_{pL_{max}} = I_{Lm_{max}} = \frac{V_{CC}}{R_E + R_L} \quad (2')$$

$$I_{STB_{max}} = I_{TB_{max}} = \frac{V_{CC}}{\pi(R_E + R_L)} \quad (3')$$

$$P_{CC_{max}} = \frac{V_{CC}^2}{\pi(R_E + R_L)} \quad (4')$$

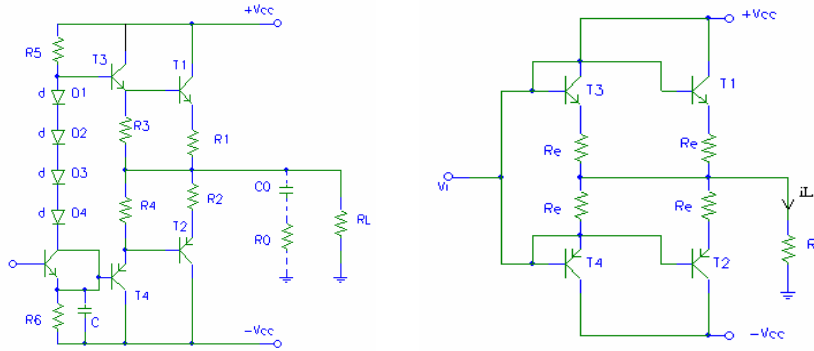
$$P_{L_{max}} = \frac{1}{2} \cdot \frac{V_{CC}^2 \cdot R_L}{(R_E + R_L)^2} \quad (5')$$

$$\eta_{max} = \frac{\pi}{4} \cdot \frac{R_L}{R_E + R_L} \quad (6')$$

Khi $P_L = 0$ thì $P_{C_{max}} = P_{CC_{max}}$ và $P_{C_{min}} = P_{CC_{max}} - P_{L_{max}}$

c) *Các bộ khuếch đại công suất âm tần đẩy kéo bù cơ bản :*

* Do Transistor công suất thường có hệ số khuếch đại dòng điện nhỏ, β nhỏ (đặc biệt tại các mức dòng điện cao) nên người ta thường thay thế các transistor đơn bằng cặp Darlington mắc CC (phát theo). Khi đó $\beta > \beta_1 \beta_2$ và dòng điện có thể đạt tới 20 A.



* Khi công suất ra yêu cầu lớn, các transistor có thể được mắc song song để tăng khả năng kéo dòng cho bộ khuếch đại. Khi đó ta có hai bộ khuếch đại công suất âm tần đẩy kéo lớp B mắc song song với :

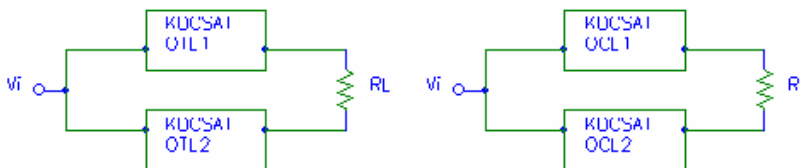
$$I_{Cm} = I_{Cm1} = I_{Cm3} = I_{Cm2} = I_{Cm4} \text{ và } I_{Lm} = I_{Cm1} + I_{Cm3} = I_{Cm2} + I_{Cm4}$$

Công suất ra trên tải R_L sẽ là :

$$P_L = \frac{1}{2} I_{Lm}^2 R_L = \frac{1}{2} (2I_{Cm})^2 R_L = 2I_{Cm}^2 R_L$$

$$\text{Khi max-swing : } I_{Cm} = \frac{V_{CC}}{R_E + R_L} \text{ nên } P_{L_{\max}} = \frac{2V_{CC}^2}{(R_E + R_L)^2} R_L$$

* Đối với các bộ khuếch đại công suất âm tần công suất lớn, ta có thể mắc cầu các bộ khuếch đại công suất âm tần đẩy kéo lớp B OTL hoặc OCL (gọi là BTL)

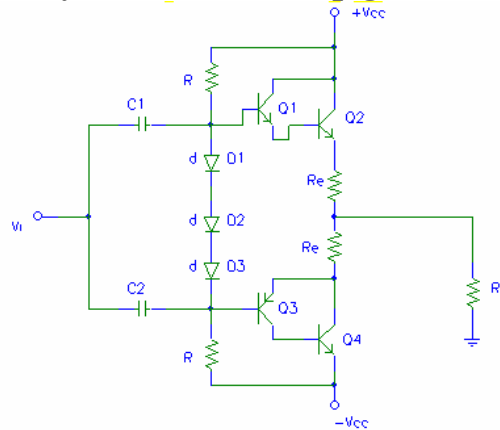


$$P_L = \frac{1}{2} I_{Lm} \cdot V_{Lm} = \frac{1}{2} (2I_{Lm1}) \cdot (2V_{Lm1}) = 2I_{Lm1} \cdot V_{Lm1} = 4P_{L1}$$

Khi mắc cầu công suất trên tải sẽ tăng gấp 4 so với một bộ khuếch đại công suất âm tần đẩy kéo OTL 1 hoặc OCL 1, nhưng mạch này

rất nhạy, chỉ cần một nhánh của sơ đồ bị điều chỉnh lệch sẽ gây cháy tải, nên chúng chỉ được dùng trong các bộ khuếch đại công suất âm tần chuyên dụng có công suất lớn.

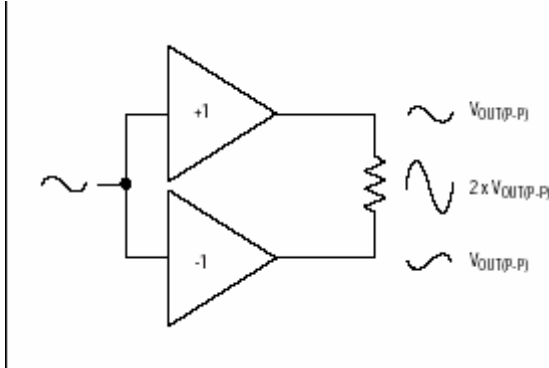
* Các bộ khuếch đại công suất âm tần đẩy kéo gần bù dùng một cặp Darlington mắc đẩy kéo với một cặp giả Darlington như sau :



Phần II:

Thiết kế bộ khuếch đại công suất âm tần đẩy kéo BTL=2OCL, có mạch bổ chính nhiệt .

A. Thiết kế mạch.



Do mạch khuếch đại là mạch cầu BTL gồm 2 mạch OCL mắc song song cung cấp công suất ra là 300W nên mỗi từng OCL khi hoạt động riêng rẽ sẽ có công suất ra là $1/4 \cdot 300W = 75W$.

Như vậy cần phải thiết kế 1 tầng OCL có công suất ra là 75W với tải 8Ω .

I. Tính điện áp nguồn cung cấp:

Ở chế độ tối ưu, ta có :

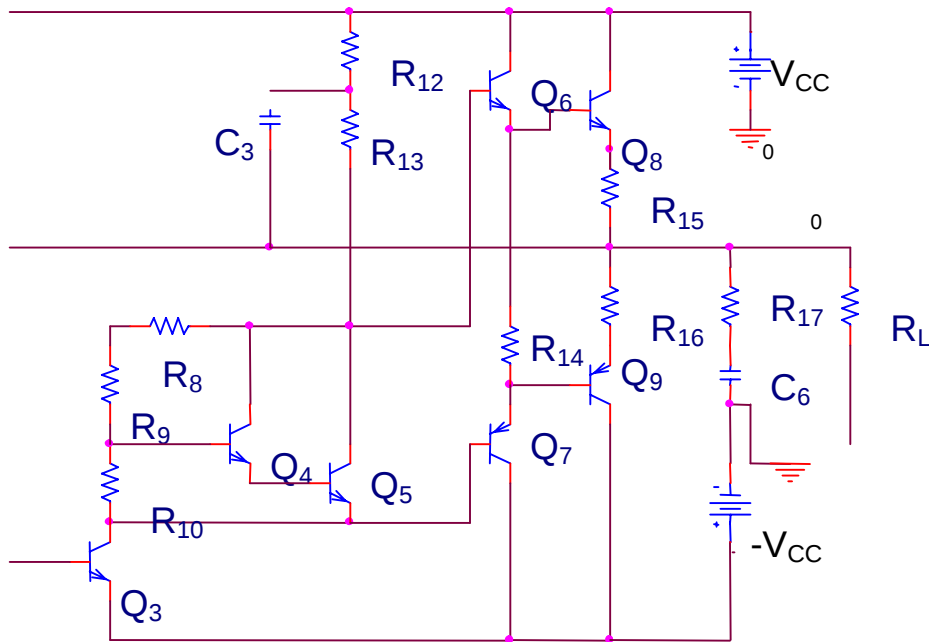
$$P_L = \frac{1}{2} \cdot \frac{V_{Cm}^2}{R_L} \rightarrow V_{Cm} = \sqrt{2 \cdot P_L \cdot R_L} = \sqrt{2 \cdot 75 \cdot 8} \approx 35(V).$$

Áp dụng công thức tính hệ số lợi dụng áp :

$$\xi = \frac{V_{Cm}}{V_{CC}} = 0.9 \rightarrow V_{CC} = \frac{V_{Cm}}{0.9} \approx 38.9(V)$$

Chọn $V_{CC} = 40(V)$.

II. Thiết kế tầng cuối:



Ở chế độ tối ưu , dòng tải cực đại là :

$$I_{Lm} = \sqrt{\frac{2 \cdot P_L}{R_L}} = \sqrt{\frac{2 \cdot 300}{8}} \approx 8.66(A)$$

$$\Rightarrow i_{cm8} = 1/2 \cdot I_{Lm} = 4.33(A)$$

Q₈ và Q₉ là 2 transistor công suất , chọn $h_{fe} = 20$

$$\Rightarrow i_{bm1} = i_{cm8} / h_{fe} = 0.2165(A).$$

Vì tầng công suất hoạt động ở chế độ AB nên Q₈Q₆ và Q₉Q₇ luân phiên tắt dẫn trong 1 chu kì nên R₁₄ không tham gia vào chế độ AC.

$$\Rightarrow i_{cm6} = i_{bm8} = 0.2165(A).$$

chọn Q₆ và Q₇ có $h_{fe} = 100$

$$\Rightarrow i_{bm6} = i_{cm6} / h_{fe} = 2.165(mA).$$

Để dòng base cực đại ít ảnh hưởng đến dòng phân cực DC ở tầng trước ,chọn $I_{CQ3} = 10 \cdot i_{bm6} = 20(mA)$.

$$\text{Chọn } h_{fe3} = 150 \Rightarrow I_{BQ3} = 20mA/150 = 0.13mA$$

Để tầng công suất hoạt động ở chế độ lớp AB , cần phải phân cực cho nó ở ngưỡng dẫn ,tức là : $V_{BEQ6,8,9,7} = 3.2(V)$.

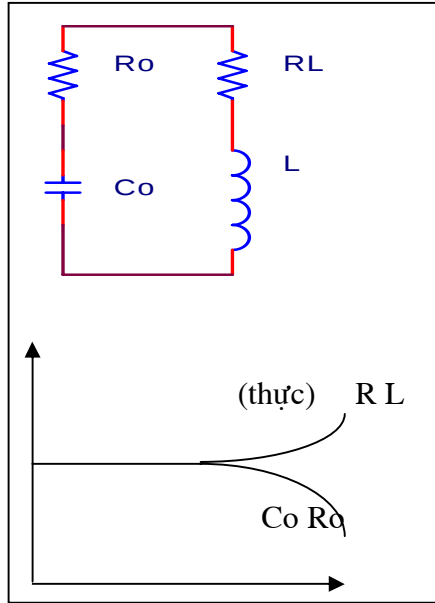
Để R₁₅ , R₁₆ ít ảnh hưởng đến hiệu suất của mạch cần phải chọn

$$R_{15} , R_{16} \ll R_L , \text{ chọn } R_{15} = R_{16} = 0.1 \Omega$$

Ngoài ra R_{15} , R_{16} còn tạo ra hồi tiếp âm để ổn định nhiệt cho Q_8, Q_9 .
Ta thấy về mặt AC, $R_{12} // R_L$, do đó để R_{12} ít ảnh hưởng lên tải chọn $R_{12} = 50.R_L = 50.8 = 400 \Omega$, lấy giá trị chuẩn $R_{12} = 390 \Omega$.

***Thiết kế tầng Zobel :**

Tầng này có tác dụng chống tự kích tần số cao (cân bằng tải).



chọn $R_0 = R_L = 8$, lấy giá trị chuẩn $R_0 = 10 \Omega$

Tính C sao cho $X_C \gg R_0$,

chọn $X_C = 10.R_0 = 100$

$\Rightarrow$

$$C = \frac{1}{2\pi f_{\max} \cdot 10R} = \frac{1}{2\pi \cdot 18KHz \cdot 100} \approx 0.08 \mu$$

chọn giá trị chuẩn $C = 0.082 \mu$

*Tụ C_3 là tụ Bootstrap có tác dụng tạo điện áp const tại điểm giữa R_{12} và R_{13} , từ đó ổn định dòng phân cực $I_{CQ3} = \text{const}$ khi có tín hiệu.

$\Rightarrow$ chọn $C_3 = 100 \mu$.

III. Thiết kế tầng ổn định nhiệt:

(Xem hình vẽ ở phần II)

Giả sử: $I_{EQ6} \gg I_{BQ8}$, $I_{EQ7} \gg I_{BQ9}$, $I_{R10} \gg I_{BQ4}$.

Đặt $V = V_{BE6} + R_{14} \cdot I_{EQ6} + V_{BE7}$

$$= 2 \cdot V_{BE6} + R_{14} \cdot I_{EQ6} \quad (1) \quad (Q_6, Q_7 \text{ giống nhau})$$

Mặt khác: $V = (R_8 + R_9 + R_{10}) \cdot I_{R10} = (R_8 + R_9 + R_{10}) \cdot (V_{BE4} + V_{BE5}) / R_{10}$.

$$= (R_8 + R_9 + R_{10}) / R_{10} \cdot 2V_{BE4} \quad (Q_4, Q_5 \text{ giống nhau}).$$

$$\Rightarrow I_{EQ6} = \frac{1}{R_{14}} \cdot \left[\frac{R_8 + R_9 + R_{10}}{R_{10}} \cdot 2V_{BE4} - 2V_{BE6} \right]$$

$$\Rightarrow \frac{\partial I_{EQ6}}{\partial T} = \frac{1}{R_{14}} \cdot \left[\frac{R_8 + R_9 + R_{10}}{R_{10}} \cdot 2 \frac{\partial V_{BE4}}{\partial T} - 2 \frac{\partial V_{BE6}}{\partial T} \right]$$

chọn transistor bổ chính nhiệt Q_4 giống $Q_6 \rightarrow \frac{\partial V_{BE4}}{\partial T} = \frac{\partial V_{BE6}}{\partial T} = -k$

$$\Rightarrow \frac{\partial I_{EQ6}}{\partial T} = \frac{-2 \cdot k}{R_{14}} \cdot \frac{R_8 + R_9}{R_{10}} \cdot$$

Do tầng công suất hoạt động ở chế độ lớp AB nên $V = 3.2 \text{ V}$

ngoài ra Q_4, Q_5 giống Q_6, Q_7 nên $V_{BE4} + V_{BE5} = 1.6 \text{ V}$

$$\Rightarrow V_{R8} + V_{R9} = 1.6 \text{ V}$$

$$\text{giả sử } I_{R10} \gg I_{BQ4} \Rightarrow \frac{R_8 + R_9}{R_{10}} = \frac{1.6}{1.6} = 1$$

$$\Rightarrow \frac{\partial I_{EQ6}}{\partial T} = \frac{-2 \cdot k}{R_{14}}$$

để I_{BQ6} ít phụ thuộc vào nhiệt độ $\rightarrow$ chọn R_{14} phải lớn, tuy nhiên R_{14} quá lớn sẽ làm dòng một chiều đổ dồn vào collector của Q_8, Q_9 .

giá trị chọn là $R_{14} = 100 \Omega$.

Khi đó $I_{EQ6} = 1.6/100 = 16 \text{ (mA)}$ đủ để kích cho Q_6, Q_7 làm việc ở chế độ lớp AB.

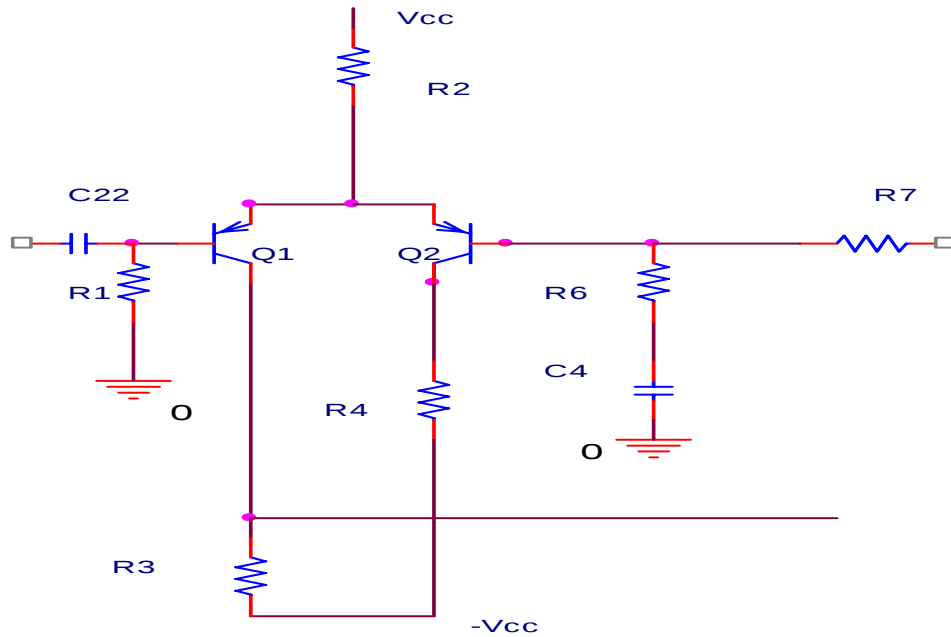
Để cặp Darlington bổ chính nhiệt ít ảnh hưởng đến tín hiệu vào, chọn $I_{R10} \gg I_{EQ5}$, theo trên chọn $I_{R10} = 20 \text{ mA} \rightarrow$ chọn $I_{R10} = 17 \text{ mA}$

$$\Rightarrow R_{10} = 1.5/17 \text{ mA} = 88 \Omega, \text{ giá trị chuẩn } R_{10} = 82 \Omega.$$

$$\Rightarrow R_8 + R_9 = 88 \Omega \rightarrow \text{chọn giá chuẩn } R_8 = 39 \Omega, R_9 = 47 \Omega$$

Ta có $R_{12} + R_{13} = (40 - 1.5)/20 \text{ mA} = 1925 \Omega \rightarrow R_{13} = 1925 - 390 = 1535 \Omega$,
giá trị chuẩn là $R_{13} = 1.5 \text{ k}\Omega$.

IV. Thiết kế tầng vi sai trước tầng kích:



Từ công thức tính độ méo dạng :

$$\gamma_f = \frac{\gamma}{1 + \beta A_v}$$

trong đó :

$$\gamma_f = 0.5\%, \gamma = 10\% \Rightarrow \beta A_v = 19 \gg 1$$

Ta có độ lợi áp vòng kín là:

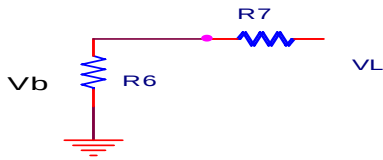
$$A_{vf} = \frac{V_{cm}}{V_i} = \frac{3.5}{0.75} \approx 4.7$$

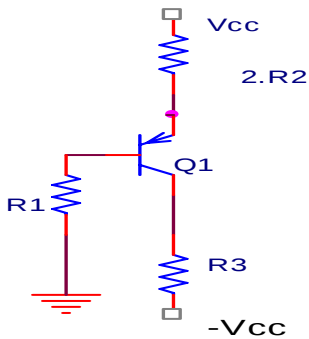
Hệ số hồi tiếp :

$$\beta = \frac{V_\beta}{V_L} = \frac{R_6}{R_6 + R_7}$$

Mặt khác : $A_{vf} = \frac{A_v}{1 + \beta A_v} \approx \frac{1}{\beta}$ (vì $\beta A_v \gg 1$)

$$\Rightarrow \beta = \frac{1}{A_{vf}} = \frac{1}{4.7} \rightarrow R_7 = 46R_6$$





Chọn Q_1, Q_2 có $h_{fe} = 100$.

Ta có : $I_{BQ3} = 0.13 \text{ mA}$ (tính ở trên) , chọn

$$I_{CQ1} \gg I_{BQ3}$$

→ chọn $I_{CQ1} = 5 \text{ mA}$

$$I_{CQ1} = \frac{V_{CC} - 0.7}{2R_2 + R_1 / (1 + h_{fe})}$$

để I_{CQ1} ít bị ảnh hưởng bởi h_{fe} của BJT cần

$$2R_2 \gg \frac{R_1}{1 + h_{fe}}$$

$$\Rightarrow I_{CQ1} = \frac{V_{CC} - 0.7}{2R_2} \Rightarrow R_2 = 3930 \Omega ,$$

lấy giá trị chuẩn $R_2 = 3.9 \text{ k}\Omega$

chọn $R_1 = 2R_2(1 + h_{fe})/10 = 78 \text{ k}\Omega$

chọn $R_1 = 56 \text{ k}\Omega$

để tạo vi sai đối xứng về mặt DC chọn $R_7 = R_1 = 56 \text{ k}\Omega$

$\Rightarrow R_6 = R_7 / 46 = 1.2 \text{ k}\Omega$, lấy giá trị chuẩn $R_6 = 1.2 \text{ k}\Omega$

chọn C_4 sao cho $X_{C4} \ll R_1$, chọn $X_{C4} = 1/10 R_1 = 120 \Omega$

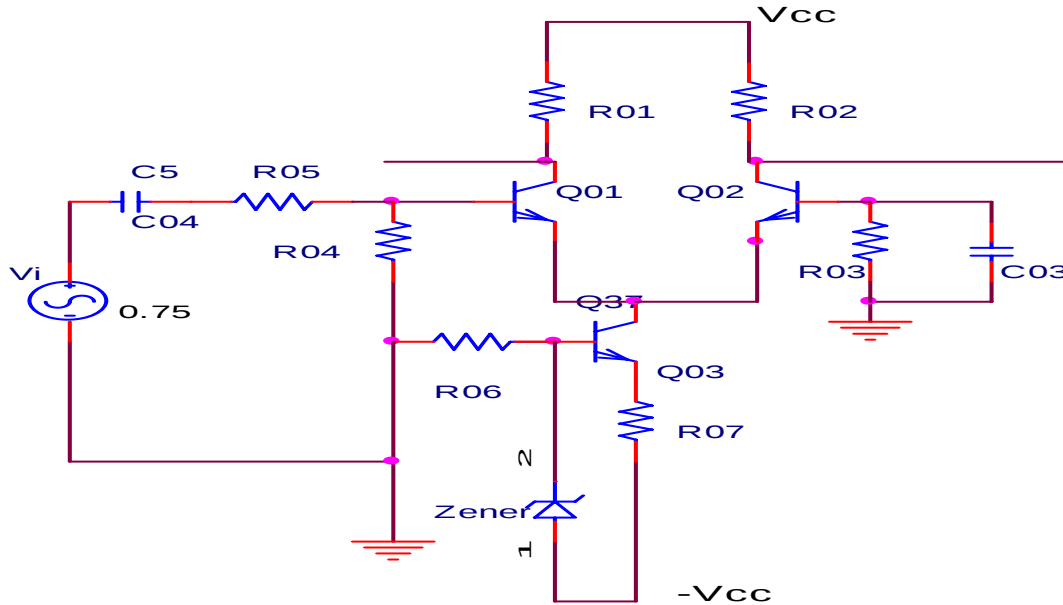
$$C_4 = \frac{1}{2\pi f_{\min} \cdot R_1 / 10} = \frac{1}{2\pi \cdot 100 \text{ Hz} \cdot 120} \approx 13 \mu$$

lấy giá trị chuẩn $C_4 = 15 \mu\text{F}$

$R_3 = V_{BE3} / I_{CQ1} = 0.7 / 5 \text{ mA} = 140 \Omega$, lấy giá trị chuẩn $R_3 = 150 \Omega$.

Chọn $R_4 = R_3 = 150 \Omega$.

V.Thiết kế tầng vi sai ngõ vào:



chọn các transistor Q_{01}, Q_{02}, Q_{03} có $h_{fe} = 50$.

chọn dòng tĩnh $I_{CQ01} = I_{CQ02} = 1\text{mA} \Rightarrow I_{CQ03} = 2\text{mA}$.

chọn diode Zener có $V_Z = 3\text{V}$

$$\Rightarrow R_{07} = \frac{V_Z - V_{BE03}}{I_{CQ03}} = \frac{3 - 0.7}{2\text{mA}} = 1.15\text{k}\Omega$$

lấy giá trị chuẩn là $R_{07} = 1\text{k}\Omega$.

Chọn $I_Z \gg I_{BQ03}$, chọn $I_Z = 4\text{mA}$

$$\Rightarrow R_{06} = \frac{V_{cc} - V_Z}{I_{CQ03}} = \frac{40 - 3}{4\text{mA}} = 9.25\text{k}\Omega$$

lấy giá trị chuẩn là $R_{06} = 10\text{k}\Omega$.

Tính h_{ie01} và h_{ie02} :

$$h_{ie01} = h_{ie02} = 1.4 * h_{fe} * \frac{25\text{mV}}{I_{CQ01}} \approx 1750\Omega$$

Trở kháng vào : $Z_{in} = R_{05} + R_{04} // 2h_{ie01} = R_{05} + 2h_{ie01} (R_{04} \gg 2h_{ie01})$.

Theo yêu cầu thiết kế $Z_{in} = 50\text{k}\Omega \rightarrow R_{05} = Z_{in} - 2h_{ie01} = 46.5\text{k}\Omega$, lấy giá trị chuẩn $R_{05} = 47\text{k}\Omega$.

Để Q_{01} và Q_{02} hoạt động ở chế độ tối ưu, chọn $V_{CEQ01,02} = 40\text{V}$.

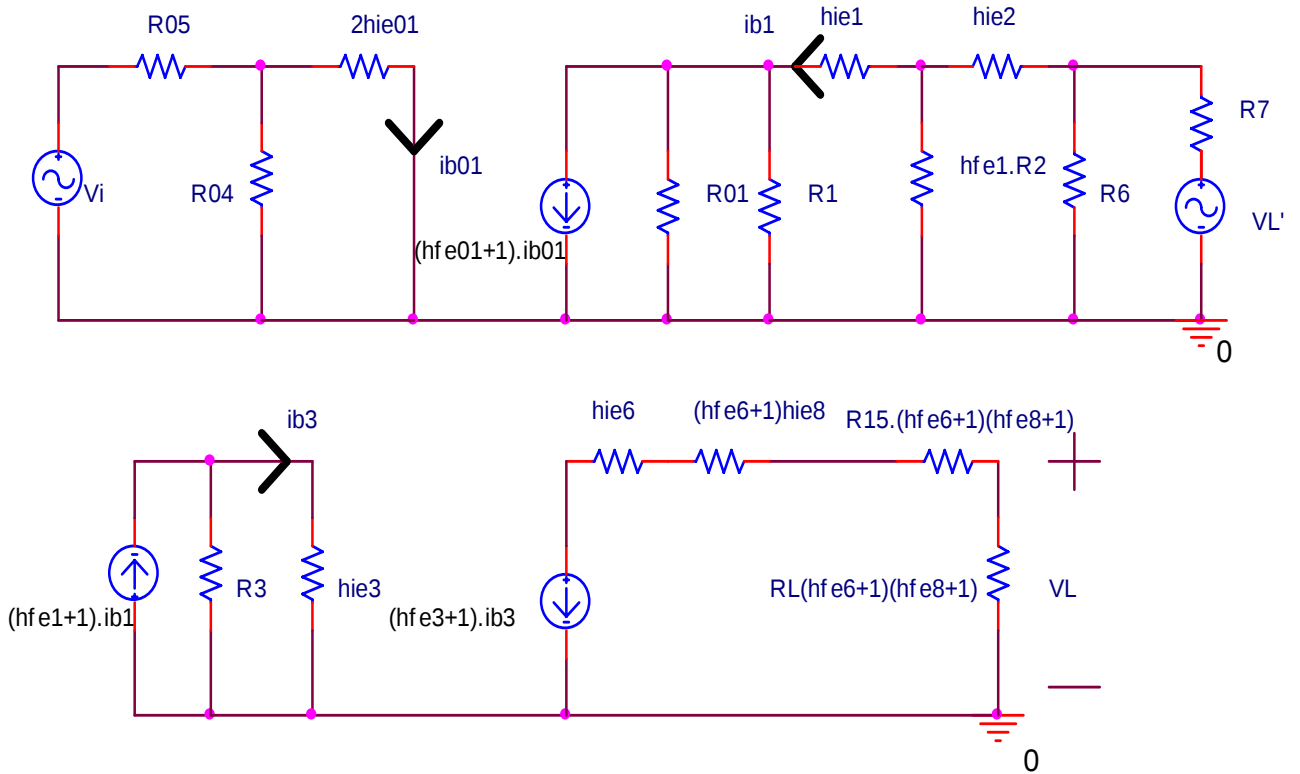
Từ đó chọn $R_{01} = R_{02} = 1\text{k}\Omega$, $R_{03} = R_{04} = 47\text{k}\Omega$.

Chọn C_{03}, C_{04} như sau :

$$X_{C03} = 1/(2\pi f_{\min} C_{03}) = 1/10.R_{03} \Rightarrow C_{03} = 0.33\mu, \text{ chọn } C_{04} = C_{03} = 0.33\mu.$$

B. Kiểm tra kết quả bằng lý thuyết.

Sơ đồ tương đương tín hiệu nhỏ (bỏ qua mạch bổ chính nhiệt vì nó ít ảnh hưởng đến chế độ AC).



ta có :
$$h_{ie3} = 1.4h_{fe3} \cdot \frac{25mV}{20mA} = 263\Omega$$

$$h_{ie1} = h_{ie2} = 1.4h_{fe1} \cdot \frac{25mV}{5mA} = 700\Omega$$

$$h_{ie01} = 1.4h_{fe1} \cdot \frac{25mV}{1mA} = 1750\Omega$$

+Độ lợi vòng :
$$T = \frac{V_L}{V_i} \Big|_{V_i=0} = \frac{V_L}{i_{b3}} \cdot \frac{i_{b3}}{i_{b1}} \cdot \frac{i_{b1}}{V_L},$$

Trong đó :

$$\frac{V_L}{i_{b3}} = -R_L \cdot (h_{fe6} + 1) \cdot (h_{fe8} + 1)(h_{fe3} + 1) = -2.4 E 6 .$$

$$\frac{i_{b3}}{i_{b1}} = \frac{R_3}{R_3 + h_{ie3}} h_{fe1} = \frac{150}{150 + 263} * 100 = 36.3$$

vì $R_1 \gg R_{01}$, $h_{fe1} \cdot R_2 \gg h_{ie1}$, $R_7 \gg R_6$ nên :

$$\frac{i_{b1}}{V_L'} \approx \frac{R_6}{R_6 + R_7} \cdot \frac{1}{R_6 // R_7 + 2h_{ie1} + R_{01}} \approx 5.83 E - 6$$

$$\Rightarrow T = -507.7$$

+Độ lợi áp vòng hở : $A_V = \frac{V_L}{V_i} \Big|_{V_L'=0} = \frac{V_L}{i_{b3}} \cdot \frac{i_{b3}}{i_{b1}} \cdot \frac{i_{b1}}{i_{b01}} \cdot \frac{i_{b01}}{V_i}$

Trong đó :

$$\frac{i_{b1}}{i_{b01}} \approx h_{fe01} \frac{R_{01}}{R_{01} + 2h_{ie1} + R_6} \approx 14.7$$

$$\frac{i_{b01}}{V_i} \approx \frac{1}{R_{05} + 2h_{ie01}} \approx 2 E - 5 \quad (R_{04} \gg 2h_{ie01}).$$

$$\Rightarrow A_V = -25613$$

$$\Rightarrow \text{+Độ lợi vòng kín : } A_{vf} = \frac{A_V}{1 - T} = -50.45 .$$

$$\Rightarrow \text{Áp ngõ ra cực đại : } V_{Lmax} = A_{vf} \cdot V_{in} = 50,45 \cdot 0,75 = 37.84 \text{ (V)}.$$

$$\Rightarrow \text{Công suất ra : } P_{Lmax} = \frac{1}{2} \cdot V_{Lmax}^2 / R_L = 89,5W$$

$$\text{+Dòng collector cực đại : } I_{Cm} = I_{Lm} = V_{Lmax} / R_L = 4,73A$$

$$\Rightarrow \text{Công suất nguồn cung cấp : } P_{Cmax} = (2/\pi) \cdot I_{Cm} \cdot V_{CC} = 120.5W$$

$$\Rightarrow \text{Hiệu suất : } \eta = P_{Lmax} / P_{Cmax} = 74,3\%$$

+Trở kháng vào :

$$Z_{in} = R_{05} + R_{04} // 2h_{ie01} = 47k\Omega + 47k\Omega // 2.3570\Omega = 50,257k\Omega .$$

C. Datasheet của các transistor sử dụng:

+ Diode Zener chọn 1N746A có datasheet sau :

Device	V_Z (V)	Z_Z (Ω)	@ I_{ZT} (mA)	I_{R1} (μ A)	@ V_R (V)	I_{R2} (μ A)	@ $T_A=150^\circ\text{C}$ V_R (V)	T_C (%/°C)	I_{ZM}^* (mA)
1N746A	3.3	28	20	10	1.0	30	1.0	-0.070	110

+ 3 transistor dùng ở tầng vi sai đầu tiên :

Q2N3904 có $h_{femin} = 70$ tại $I_{CQ} = 1\text{mA}$.

+ 2 transistor dùng ở tầng vi sai kế tiếp :

Q2N3906 có $h_{femin} = 100$ tại $I_{CQ} = 10\text{mA}$.

+ transistor dùng ở tầng kích :

BC547A có $h_{femin} = 110$ tiêu biểu 180 tại $I_{CQ} = 2\text{mA}$

+ 2 transistor đứng trước 2 transistor công suất chọn:

**BD433 (NPN) và BD434 (PNP) có $h_{femin} = 40$ tại $I_{CQ} = 10\text{mA}$,
tổng công suất tiêu tán 36W.**

+ 2 transistor bổ chính nhiệt dùng BD433.

+ 2 transistor công suất :

phải thỏa mãn : $BV_{CE0min} = 2V_{CC} = 80\text{V}$

$I_{Cmin} = 9\text{A}$

$P_{Cmax} = 1/5P_{Lmax} = 60\text{W}$.

chọn MJE15032(NPN) và MJE15033(PNP)

có datasheet như sau :

MAXIMUM RATINGS

Rating	Symbol	MJE15032 MJE15033	Unit
Collector-Emitter Voltage	V_{CEO}	250	Vdc
Collector-Base Voltage	V_{CB}	250	Vdc
Emitter-Base Voltage	V_{EB}	5.0	Vdc
Collector Current — Continuous — Peak	I_C	8.0 16	Adc
Base Current	I_B	2.0	Adc
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	50 0.40	Watts W/°C
Total Power Dissipation @ $T_A = 25^\circ\text{C}$ Derate above 25°C	P_D	2.0 0.016	Watts W/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +150	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	2.5	°C/W
Thermal Resistance, Junction to Ambient	$R_{\theta JA}$	62.5	°C/W

DC Current Gain ($I_C = 0.5 \text{ Adc}$, $V_{CE} = 5.0 \text{ Vdc}$) ($I_C = 1.0 \text{ Adc}$, $V_{CE} = 5.0 \text{ Vdc}$) ($I_C = 2.0 \text{ Adc}$, $V_{CE} = 5.0 \text{ Vdc}$)	h_{FE}	50 50 10
---	----------	----------------

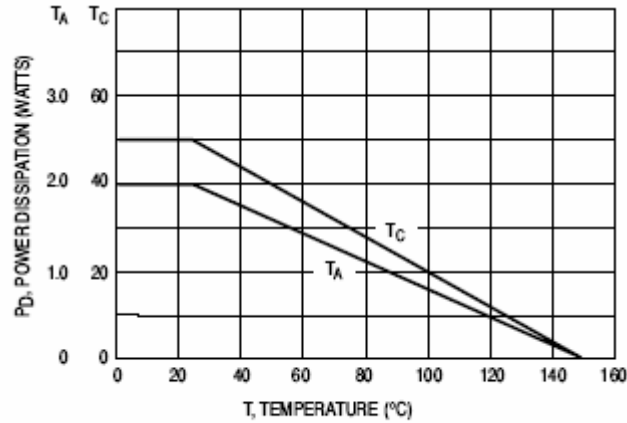


Figure 1. Power Derating

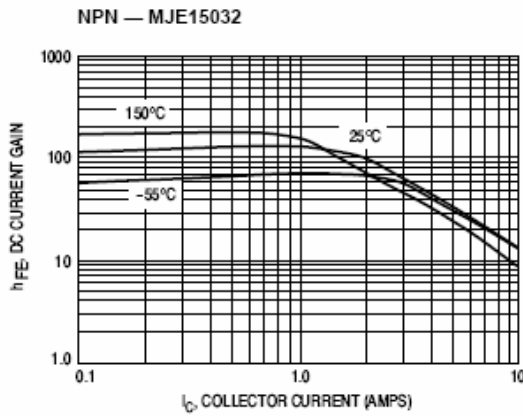


Figure 4. NPN — MJE15032
 $V_{CE} = 5 \text{ V}$ DC Current Gain

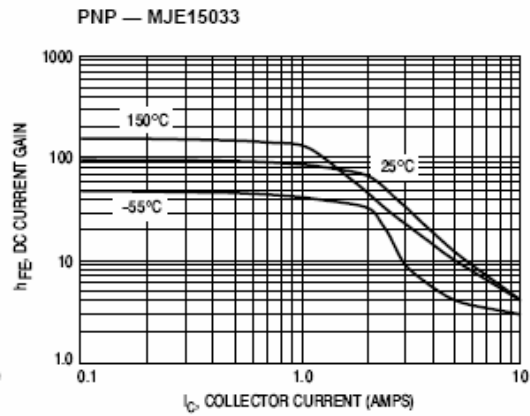


Figure 5. PNP — MJE15033
 $V_{CE} = 5 \text{ V}$ DC Current Gain

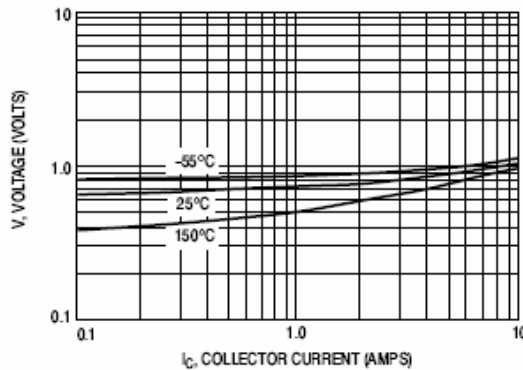


Figure 6. NPN — MJE15032
 $V_{CE} = 5 \text{ V}$ $V_{BE(on)}$ Curve

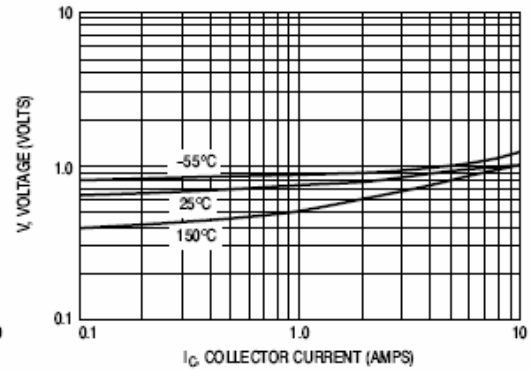
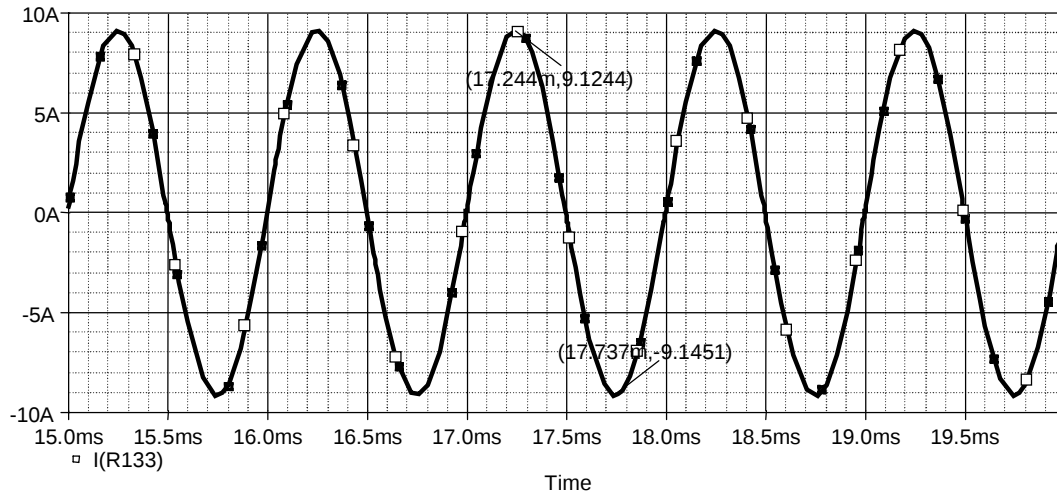


Figure 7. PNP — MJE15033
 $V_{CE} = 5 \text{ V}$ $V_{BE(on)}$ Curve

C. Kiểm tra kết quả bằng chương trình mô phỏng OrCAD.

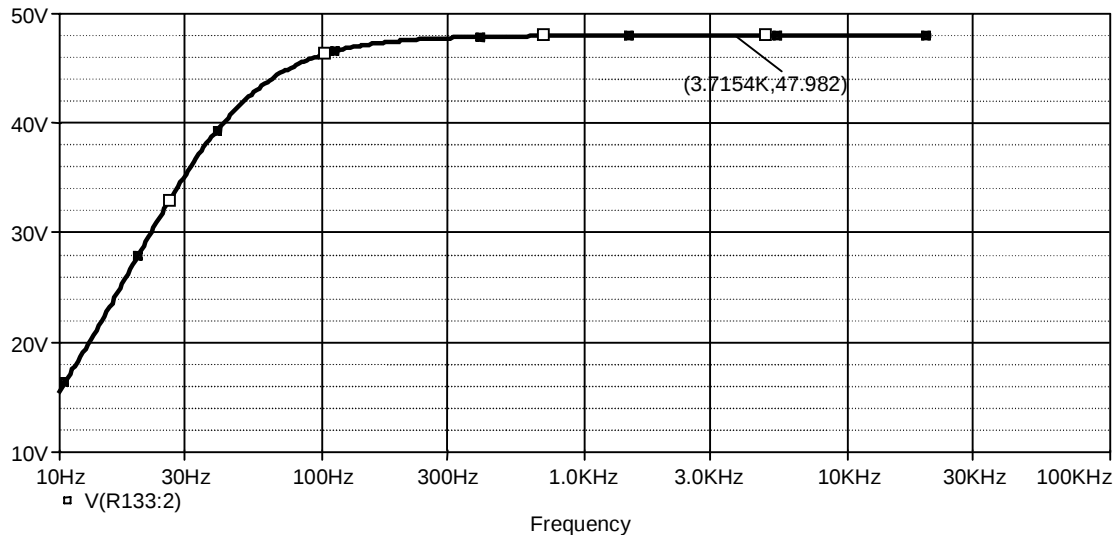
Do chương trình mô phỏng không có 2 transistor công suất như đã chọn nên em sử dụng MJE2955 và MJE3055. Ngoài ra khi mô phỏng em đã chỉnh β_f của Q2N3904 bằng 44 nếu giữ nguyên thì phải giảm R_{04} xuống còn $3.9k\Omega$. Kết quả là của mạch BTL.

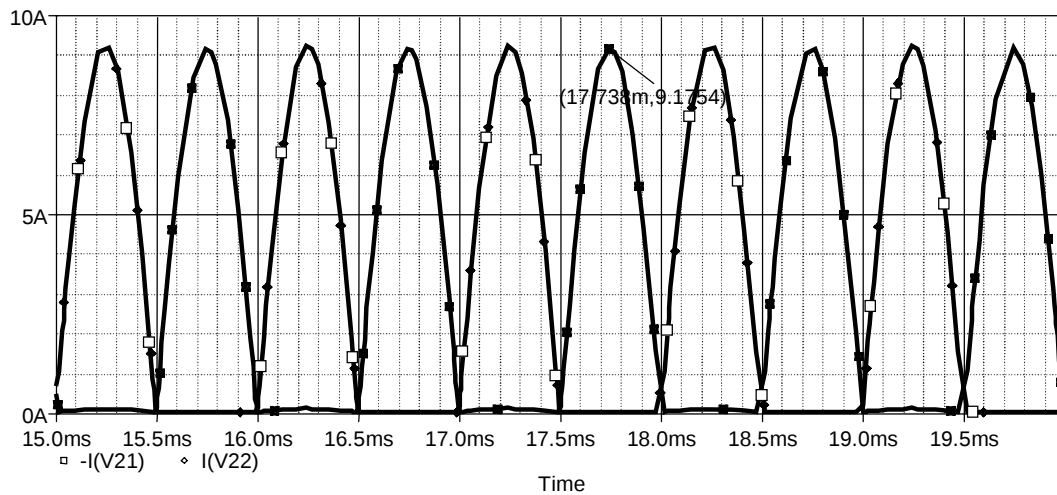
+ Dòng qua tải :



Công suất cung cấp cho tải : $P_L = 324W$

+ Đáp ứng AC của mạch :



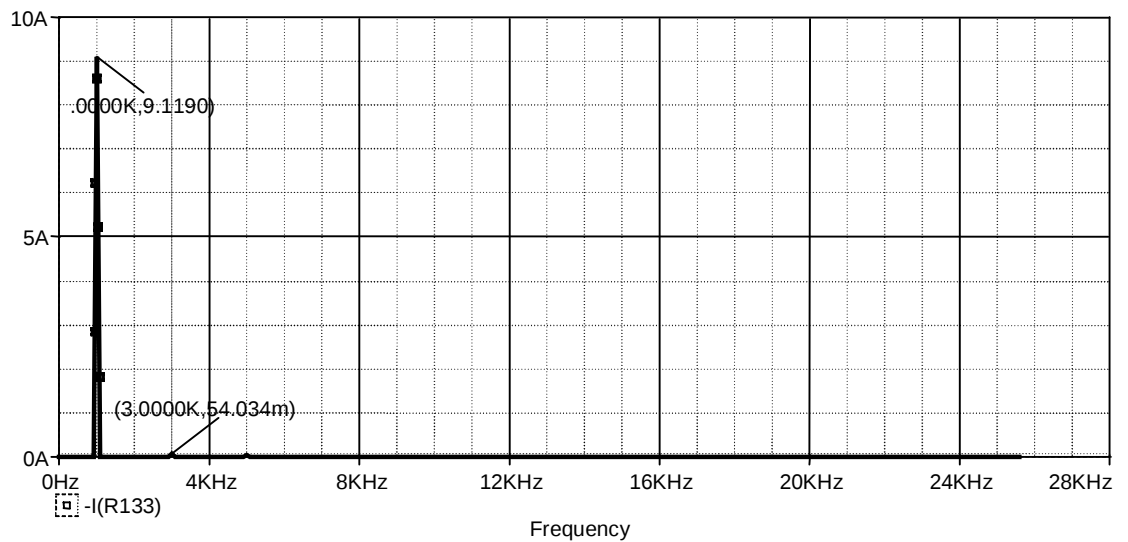


+Dòng chảy qua nguồn V_{CC} : $I_{Cm} = I_{Lm} = V_{Lmax} / R_L = 4.73A$

Công suất do nguồn cung cấp cả 2 mạch OCL : $P_{CC} = 482,5W$

=> Hiệu suất của mạch : $\eta = 67,2\%$.

+ Phân tích Fourier :



Hài bậc 1 : $V_1 = 9.199 A$

Hài bậc 3 : $V_3 = 54.034mA$

=> hệ số méo phi tuyến : $\gamma_f = V_3 / V_1 = 0.587\%$.

+Đo trở kháng vào : mô phỏng $V_{in} = 749,267\text{mV}$; $i_{in} = 15,266\mu\text{A} \Rightarrow Z_{in} = 49,080\text{k}\Omega$.

+ Khảo sát sự ổn định nhiệt :

	$I_{R10}(\text{mA})$	$I_{CQ5}(\text{mA})$	$I_{CQ6}(\text{mA})$	$I_{EQ8}(\mu\text{A})$
27°C	13	7.5	6.72	76.7
50°C	11.73	8.79	6.05	89.4
100°C	9.11	11.60	4.61	107.9

Nhận xét : ta nhận thấy khi nhiệt độ tăng thì I_{CQ5} tăng $\rightarrow I_{R10}$ giảm $\rightarrow I_{EQ8}$ tăng chậm , nghĩa là mạch ổn định nhiệt tốt .Ngoài ra điểm giữa có điện áp khá nhỏ (ở 27°C $V_0 = 13.76\text{mV}$) và cũng ít thay đổi theo nhiệt độ (ở 100°C $V_0 = -121.9\text{mV}$) .Tuy nhiên khi nhiệt độ tăng cao thì dạng sóng ra bị xén hai đầu .Đó là do h_{fe} tăng khi nhiệt độ tăng dẫn đến transistor bị bão hòa .

