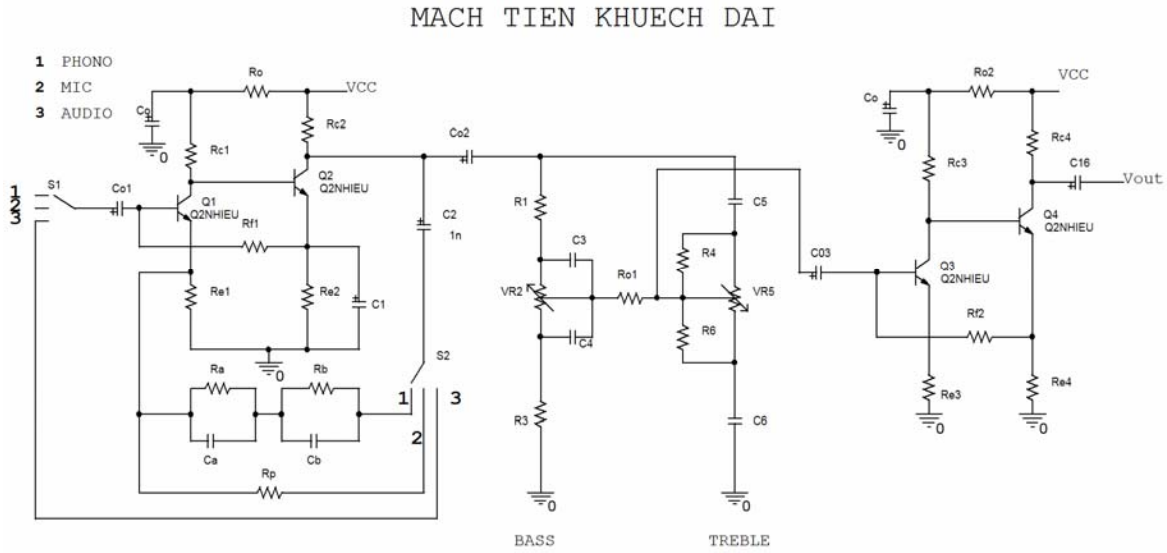


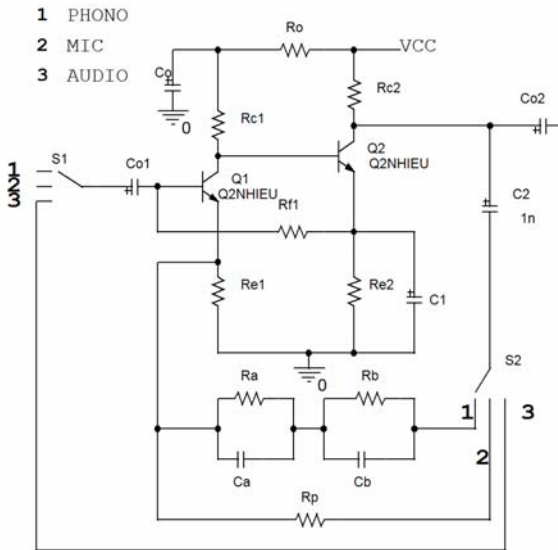
Sơ đồ khối của mạch tiền khuếch đại:



Coi như các tụ $Co1, Co2, Co3$ có giá trị rất lớn (Hở mạch một chiều và ngắn mạch xoay chiều). Ta chọn $Co1=Co2=Co3=0.1\mu F$.

Giả sử các tầng có trở kháng vào là rất lớn và trở kháng ra tương đối nhỏ, ta có thể thiết kế cho từng tầng riêng biệt.

Thiết kế cho tầng 1:



Yêu cầu:

Cho tín hiệu vào khoảng 2-4 mV, thiết kế sao cho tín hiệu lấy ra ở tụ $Co2$ đảm bảo khoảng 200mV. $V_{cc}=50V$;

$$\text{Coi } Z_{C_0} = \frac{1}{\omega C_0} \leq \frac{1}{10} R_0 \text{ với } \omega = 2\pi f \text{ (f min).}$$

Nếu chọn $R_0=1k\Omega$, ta có thể chọn $Co=10\pm 100\mu F$. Hệ số khuếch đại của các BJT là $h_{fe}=\beta=50$.

Thiết kế DC cho tầng 1:

Ta thiết kế sao cho BJT Q2 đạt max swing, giá trị

$$V_{CEQ2} \approx \frac{1}{2} V_{CC}. \text{ Chọn } I_{CQ2} \approx 0.75mA.$$

Chọn giá trị

$$V_{Re2} \approx \frac{1}{3} V_{CC} \approx 15V \Rightarrow R_{E2} = \frac{15}{0.75m} = 20k\Omega.$$

$$\Rightarrow V_{Rc2} \approx \frac{1}{5} V_{CC} \approx 10V \Rightarrow R_{c2} = \frac{10}{0.75m} \approx 15k\Omega$$

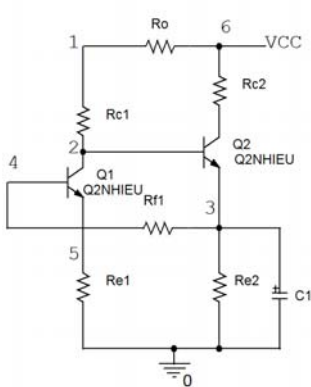
$$R_{DC} = R_{C2} + R_{E2} // (R_{f1} + R_m) \approx R_{C2} + R_{E2} \text{ với } R_{f1} \gg R_{E2} \text{ và}$$

$$R_{AC} = R_{C2} // (R_m + R_{E1} // h_{ib1}) // Z_{T2} \leq R_{C2} \text{ nếu không tính ảnh hưởng của BJT thứ nhất và các trở của nó lên mạch.}$$

Với cách chọn như trên thì dòng điện DC cực đại trên BJT thứ hai (I_{CQ2}) không thể vượt 1mA.

THIẾT KẾ MẠCH TIỀN KHUẾCH ĐẠI

Nếu lại chọn $V_{CEQ1} \approx 13V$ ta sẽ có các giá trị: $R_{c1}=80k\Omega$, $R_{e1}=5k\Omega$, $R_{f1} \approx 1.5(meg\Omega)$.



Nếu chọn R_{f1} quá lớn, BJT thứ nhất sẽ không ổn định khi phân cực (thường $R_{f1} \ll \beta R_{e1}$) nhưng sẽ tăng trở kháng vào và thỏa mãn điều kiện $R_{f1} \gg R_{e2}$ mà ta nêu từ đầu. Và lại, giá trị R_{e1} ta không thể chọn quá lớn vì ảnh hưởng đến mạch AC (R_{e1} càng lớn, hệ số khuếch đại của tầng 1 càng nhỏ nếu không tăng R_{c2})

Giá trị R_{c1} khá lớn cũng gây ảnh hưởng đến chế độ DC ở BJT thứ 2, ta sẽ giải lại bài toán DC cho mạch vừa thiết kế.

Dùng định luật K2 cho vòng từ nguồn 6_1_2_3_4_5_0 ta sẽ có được:

$$\begin{cases} I_{CQ1} \approx 0.418mA \\ I_{CQ2} \approx 0.772mA \end{cases} \text{ từ đó: } \begin{cases} V_{CEQ1} \approx 14V \\ V_{CEQ2} \approx 23V \end{cases}$$

Biện luận cho các giá trị vừa tìm: Ta thấy rằng khi ở chế độ DC, mạch có hồi tiếp áp, sai lệch dòng. Với giá trị R_{f1} rất lớn so với R_{e2} ,

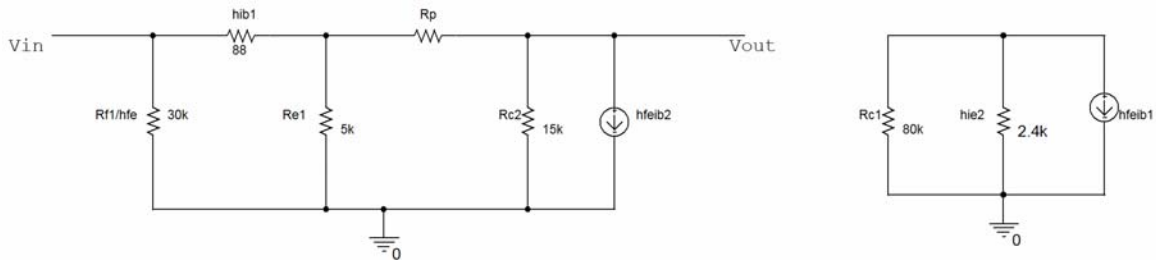
ở DC dòng I_{CQ2} tập trung chủ yếu qua R_{e2} và R_{dc} của BJT Q2 không cần xét tới R_{f1} . Cách chọn R_{c2} , R_{e2} để điểm Q rất gần với điểm Q maxswing nên sóng ra đảm bảo sẽ không bị méo dạng khi được khuếch đại.

Cách chọn các giá trị R_{e1} , R_{c1} là do BJT Q2 và mạch AC quy định. R_{e1} không thể chọn quá lớn nhưng cũng không được quá nhỏ vì nó ảnh hưởng đến trở kháng đầu vào của tầng 1. R_{c2} không thể chọn quá nhỏ vì nó sẽ khó khuếch đại, nhưng nếu chọn quá lớn sẽ ảnh hưởng đến trở kháng đầu ra. Với cách chọn $R_{c2}=15k\Omega$, e rằng phải có thêm một Transistor JFET để ngăn cách tầng 1 và tầng 2.

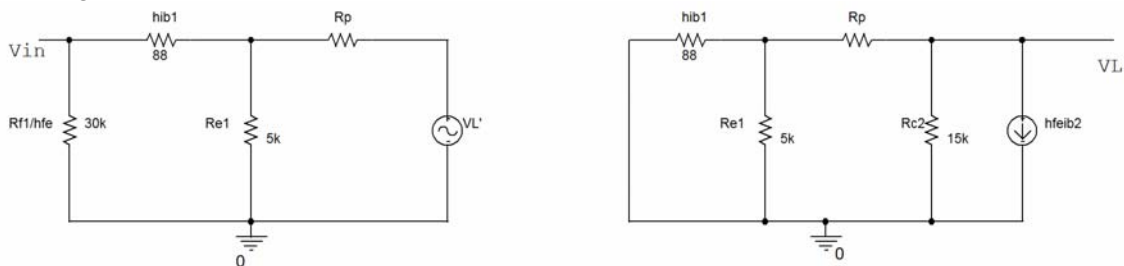
Thiết kế AC cho tầng 1:

Khoá ở trường hợp 2: (Case 2) Mic: Mạch AC hồi tiếp.

Sơ đồ tương đương tín hiệu nhỏ:



Nếu dùng Feedback, ta có sơ đồ sau:



Ta cần tìm thông số R_p để mạch khuếch đại lên 50 lần:

Dùng feedback:

Ta dễ dàng tìm được: $i_{b2} \approx -h_{fe1} i_{e1}$.

$$\begin{aligned}
 &V_L = -hfe.ib2 \left[R_{C2} // \left((R_{E1} // hib1) + Rp \right) \right] \approx -hfe.ie1 (R_{C2} // Rp) \\
 \text{Và: } &\begin{cases} V_L' |_{V_i=0} = - \left(1 + \frac{hie1}{Rp} + \frac{hie1}{R_{E1}} \right) ie1 \\ V_i |_{V_L=0} = \left[(R_{E1} // Rp) + hib1 \right] ie1 \end{cases} \\
 &\Rightarrow T = \frac{V_L}{V_L'} \bigg|_{V_i=0} = \frac{hfe(R_{C2} // Rp)}{1 + \frac{hie1}{Rp} + \frac{hie1}{R_{E1}}} \\
 &\text{where } A_v = \frac{V_L}{V_i} \bigg|_{V_L=0} = \frac{-hfe.ie1 (R_{C2} // Rp)}{(R_{E1} // Rp) + hib1} \\
 &\Rightarrow A_{vf} = \frac{V_L}{V_i} = \frac{A_v}{1-T}
 \end{aligned}$$

Từ đó, với các số liệu đã tìm được, mạch cần khuếch đại lên 50 lần nên: $A_{vf}=50$, ta tìm được $R_p=386k\Omega$.

Giải lại mạch không dùng hồi tiếp với R_p vừa tìm trên, ta tìm được $V_{out} = 50V_{in}$, đúng với giá trị cần tính.

Khoá ở trường hợp 1: (Case 1) Phono: Mạch AC hồi tiếp phụ thuộc tần số.

Do khi hoạt động ở chế độ Phono, biên độ sóng vào phụ thuộc vào tần số dao động trong một khoảng rộng (từ vài mV đến vài trăm mV) nên người ta dùng tụ điện để giới hạn lại trở hồi tiếp.

Ở 50Hz: Coi như các tụ hở mạch (dự đoán giá trị các tụ cỡ pico). Dễ dàng có: $R_a+R_b=R_{ht1}$.

Dùng cách giải hồi tiếp như trên, với $A_v=99$, ta sẽ có: $R_{ht1}=1.65(Mega\Omega)$.

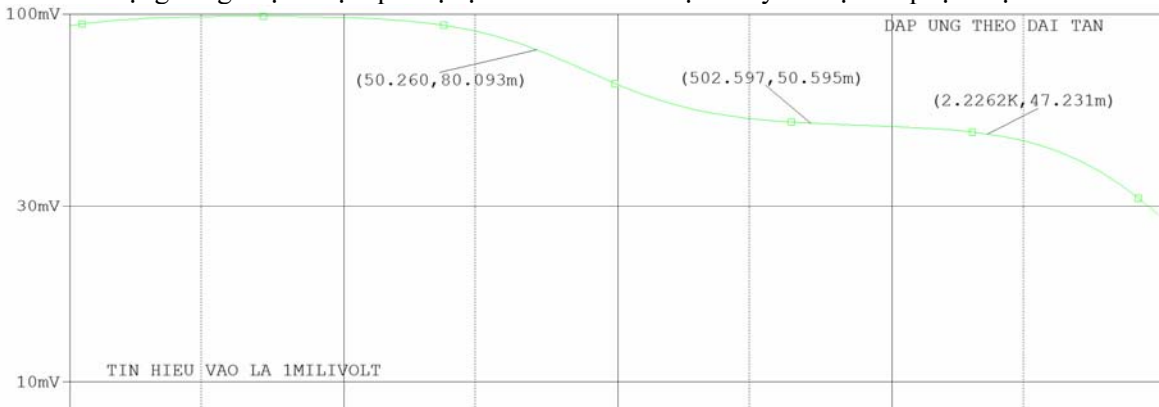
Nhận xét thấy rằng khi dao động trong dải thông từ 500Hz đến 2200Hz, giá trị A_v ít thay đổi nên ta nghĩ ngay đến trong dải thông này, có 1 tụ đã đạt đến cực tiểu của mình, và tụ kia thì chưa đóng góp đáng kể vào sự thay đổi của mạch. Và cũng do đó, có một giá trị điện trở xấp xỉ R_{ht2} ($f=500Hz$), gọi đó là R_a , ta cho $R_a=375\Omega$, từ đó: $R_b=1275k\Omega$.

Ở 500 Hz: Coi như trở của tụ C_a rất lớn so với trở R_a .

Ta có: $Z_b \approx R_{ht2}$, $Z_a \approx R_{ht2} - R_a = 378.5k - 300k = 78.5k\Omega \rightarrow C_b \approx 4nF$

Ở 2200Hz: Lúc này, tụ C_a đã đáng kể so với R_a , chọn $Z_{Ca} \approx 0.1R_a = 37.5k\Omega \rightarrow C_a \approx 1.9nF$.

Nhận xét rằng khi C_a càng nhỏ, C_b càng lớn thì dải tần có $A_v=50$ càng rộng, nhưng do hạn chế của tín hiệu vào, dải tần có bề rộng trong khoảng [500hz, 2200hz] nên ta có thể chọn $C_a=0.1nF$, $C_b=5nF$. Dạng sóng nhận được qua bộ lọc và transistor được khuếch đại lên phụ thuộc vào tần số:

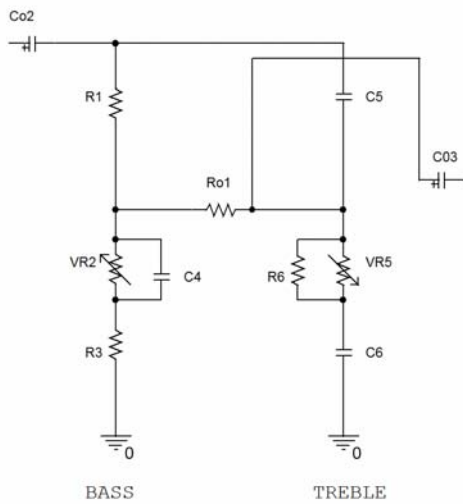


Với bộ lọc này thì tín hiệu vào có thể dao động quanh giá trị từ 2mVolt với dải tần bé hơn 500Hz, 4mVolt với dải tần từ 500Hz đến 2200Hz (dải tần chính).

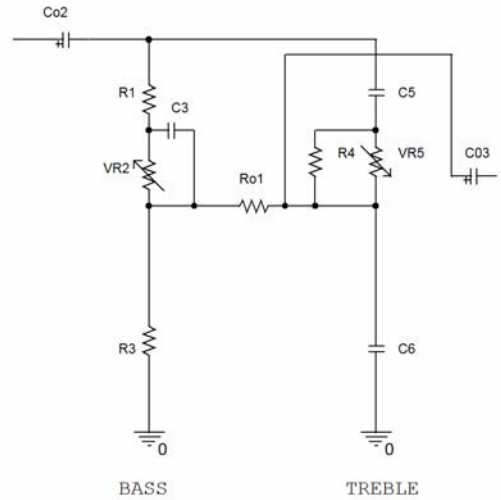
Khoá ở trường hợp 3(Case 3) tín hiệu vào đã đảm bảo là 200mVolt.

Thiết kế cho tầng 2: Treble và Bass cho bộ tiền khuếch đại.

TREBLE AND BASS BOOST (MID CUT)

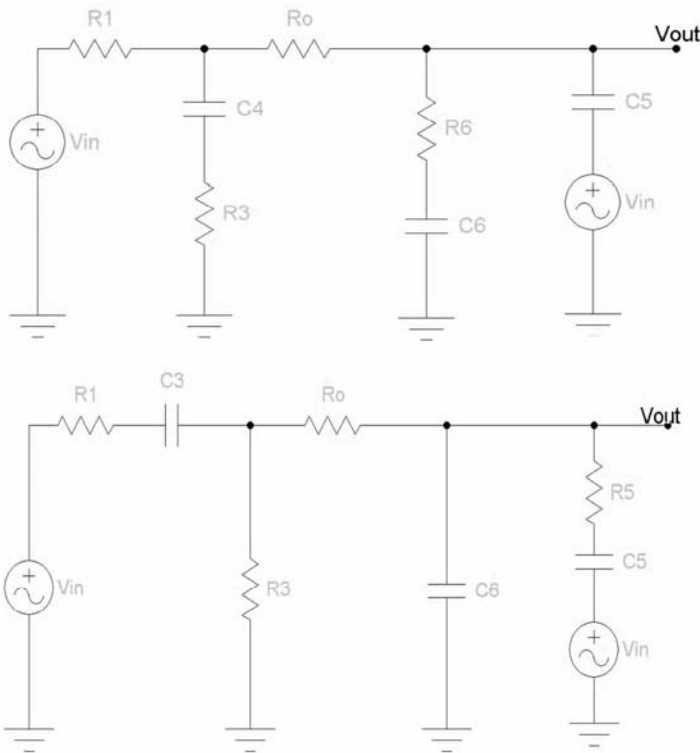


TREBLE AND BASS CUT (MID BOOST)



Ta giả sử rằng VR2 và VR5 rất lớn so với trở của các tụ C4, C5, R4, R6. Ta có thể lấy: VR2=VR5=100kΩ, R4=R5=7.5kΩ, C3=C4= 50nF, Ro=10kΩ, R1 không thể quá nhỏ vì nó ảnh hưởng đến trở kháng đầu vào.

Để tìm các giá trị còn lại ta vẽ các sơ đồ tương đương cho mạch BOOST và CUT:



-Xét Bass Boost ở tần số thấp:

(<300Hz) có thể coi bỏ mạch các tụ C5, C6, có thể tìm được R1, R3 xấp xỉ 12kΩ (Nhờ độ lợi được Av=0.9).

-Xét Treble boost ở tần số cao, có thể coi ngắn mạch các tụ C4, C3, tìm được C3, C4 xấp xỉ 20nF (Nhờ độ lợi Av=0.9).

- Xét ở tần số trung tâm (1KHz) là tần số cắt, nếu thế các giá trị vừa tìm vào, có độ chênh lệch hơi lớn so với yêu cầu (Av=0.5).

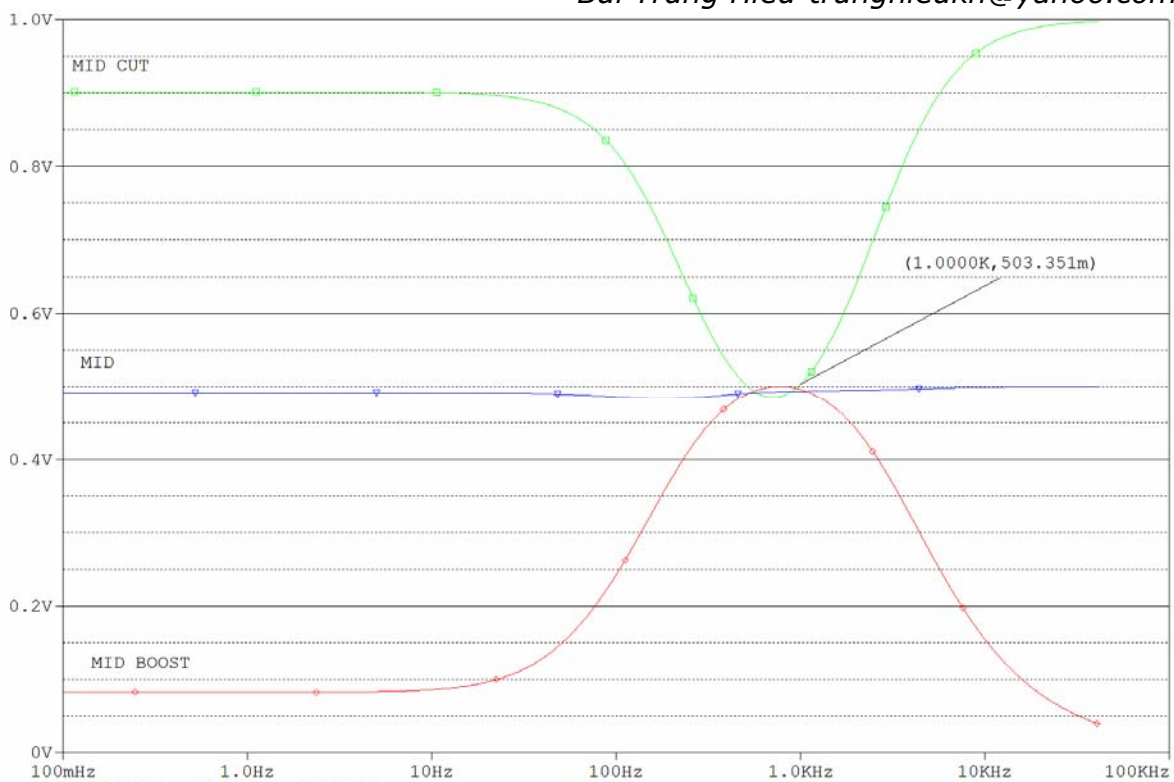
-Bởi thế, giả sử các tụ C3, C4 có trở rất nhỏ so với VR2 là không hợp lý, ta giải lại chúng với giả sử trở tương đương của VR2//C3 và VR2//C4 là như nhau ở các tần số 300Hz và 3400Hz, ta tìm được C3=C4≈15nF. Nhờ vào mạch Boost và Treble, ta tìm được C5=C6≈17.1nF.

-Kiểm tra lại với tần số cắt là 1kHz, ta sẽ tìm lại C3=C4≈10nF.

Tóm lại, các giá trị của các linh kiện ở tần 2 là: R1=R3=12kΩ,

VR2=VR5=100kΩ, R4=R6=7.5kΩ,

C3=C4=10nF, C5=C6=17nF. Ta sẽ có hình biểu diễn đáp ứng tần số cho mạch trên:



Thiết kế cho tầng 3:

Yêu cầu:

Tín hiệu vào khoảng 100mV, thiết kế sao cho tín hiệu lấy ra ở tụ Co4 đảm bảo khoảng 1V.

$V_{CC}=50V$;

Coi $Z_{C_0} = \frac{1}{\omega C_0} \leq \frac{1}{10} R_0$ với $\omega = 2\pi f$ (f min).

Nếu chọn $R_{o2}=1k\Omega$, ta có thể chọn $C_0=10\pm 100\mu F$.

Hệ số khuếch đại của các BJT là $h_{fe}=\beta=50$.

Thiết kế DC cho tầng 3:

Ta thiết kế sao cho BJT Q4 đạt max swing, giá trị $V_{CEQ4} \approx \frac{1}{2} V_{CC}$.

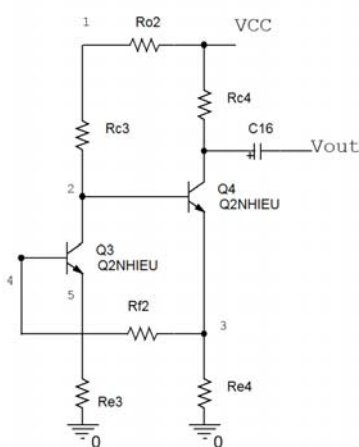
Chọn $I_{CQ4} \approx 7mA$.

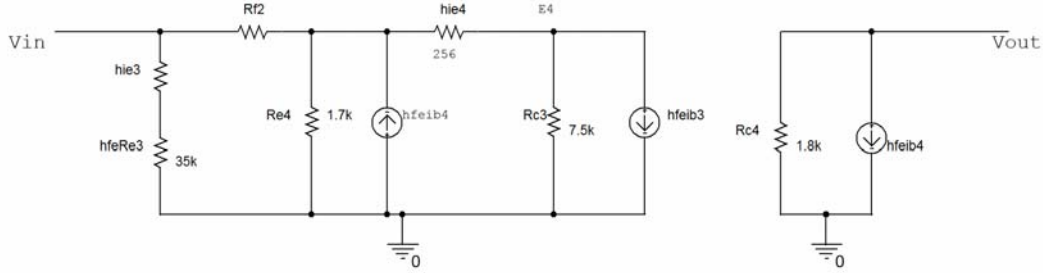
Chọn giá trị $V_{Re4} \approx \frac{1}{4} V_{CC} \approx 12V \Rightarrow R_{E4} = \frac{12}{7m} = 1.7k\Omega$.

$\Rightarrow V_{Rc4} \approx \frac{1}{4} V_{CC} \approx 13V \Rightarrow R_{c4} = \frac{13}{7m} \approx 1.8k\Omega$

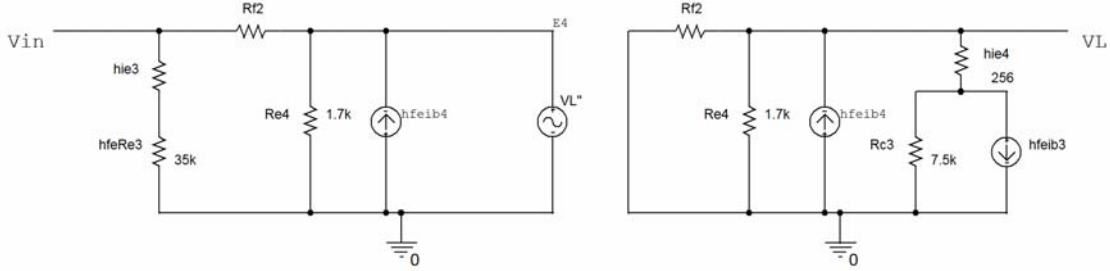
Tương tự như ở tầng 1, ta sẽ có các giá trị $R_{c3}=7.5k\Omega$, $R_{e3}=0.7k\Omega$, R_{f2} vài trăm $k\Omega$. (Ta sẽ tìm sau nhờ mạch AC)

Mạch tương đương tín hiệu nhỏ cho tầng 3 (Mạch hồi tiếp áp, sai lệch dòng)





Nếu sử dụng hồi tiếp, ta có các sơ đồ tương đương sau:



Ta chỉ dùng mạch không hồi tiếp để giải, sẽ có được:

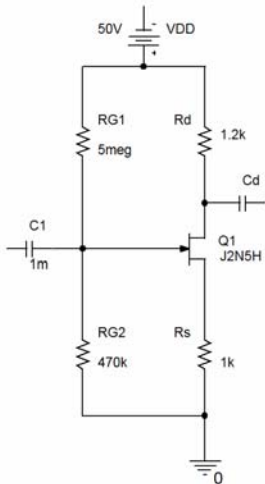
$$V_{in}=100\text{mV}, V_{out}=1\text{V}\rightarrow ib4=-1/90000(\text{A}) \text{ và } ib3=\frac{V_{in}}{(hfe+1)R_{E3}+hie3}, ib4=-\frac{V_{out}}{hfeR_{C4}}$$

$$\text{Khi } I_{C3}=\frac{V_{CC}-2V_{BE}}{(R_{E3}+R_{C3}+R_{02})+\frac{R_{f2}}{hfe}} \text{ ta sẽ có: } hie3=\frac{1.4V_T hfe}{I_{CQ3}}$$

Dùng định luật nút mạch, ta sẽ giải ra $R_{f2}\approx 145\text{k}\Omega$. Nó thỏa mãn điều kiện ban đầu ta đặt ra ($R_{f2}\gg R_{e4}$).

Trên, ta đã tìm các tầng riêng biệt, nay ta ghép chúng lại thành mạch cần thiết kế, với các giá trị đã tìm trên.

Đúng như ta e ngại từ đầu, trở kháng đầu ra của tầng 1 khá lớn so với trở kháng đầu vào của tầng 2 (tầng 1 có $Z_{out}\approx 12\text{k}\Omega$ ở trường hợp Mic) còn trở kháng đầu vào của tầng 2 tương đối nhỏ (Do đã chọn $VR2=VR5=100\text{k}\Omega$, $Z_{in2}<12\text{k}\Omega$) vì thế, khi ghép 2 tầng lại, dòng điện sẽ chia đáng kể vào tầng 2, ta tìm cách khắc phục bằng cách ghép 1 transistor JFET giữa 2 tầng này. Ta dùng JFET: $I_{DSS}=11\text{mA}$, $V_p=-2\text{V}$. Dùng thêm trở có giá trị: $R_D=1.2\text{k}\Omega$; $R_S=1\text{k}\Omega$, $R_{G1}=5\text{M}\Omega$, $R_{G2}=470\text{k}\Omega$, và $V_{DD}=50\text{V}$.



Từ mạch bên, dễ dàng có:

$I_G=0$ ta sẽ có: $V_G=4.296\text{V}$. Khi đó: $V_S=I_D R_S$, cuối cùng ta được: $V_{GS}=V_G-V_S=4.296-1000I_D$ kết hợp với

$$I_D=I_{DSS}\left(1-\frac{V_{GS}}{V_p}\right)^2 \Rightarrow I_D=11\times 10^{-3}\left(1-\frac{4.296-1000I_D}{-2}\right)^2 \text{ Giải}$$

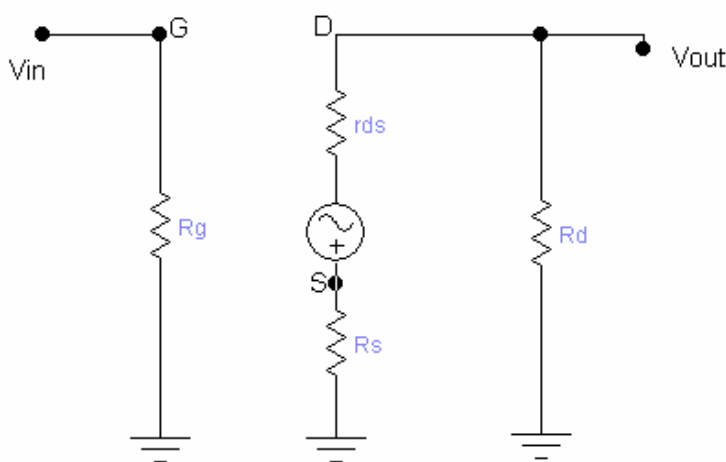
ra, ta sẽ có 2 nghiệm $I_D=5\text{mA}$ và $I_D=8\text{mA}$ Giá trị nhỏ

hơn của I_D sẽ được chấp nhận, điều đó được giải thích nhờ vào đặc tuyến của JFET:

Từ đó: $I_D = 5mA$, và: $V_{DD} = I_D R_D + V_{DS} + I_D R_S$ (DCLL) nên: $V_{DS} = 39V$

Ta đã tìm các điều kiện cho điểm phân cực tĩnh Q của JFET.

Độ lợi điện áp: $A_v = \frac{V_{OUT}}{V_{IN}}$, nó tùy thuộc vào điện áp vào và trở kháng ra, ta giả sử trở kháng tải rất lớn so với trở kháng của cực máng R_D . Sơ đồ tương đương AC tín hiệu nhỏ:



Ta tìm được độ lợi điện áp $A_v \approx -1$ (Tín hiệu ra đảo pha so với tín hiệu vào).

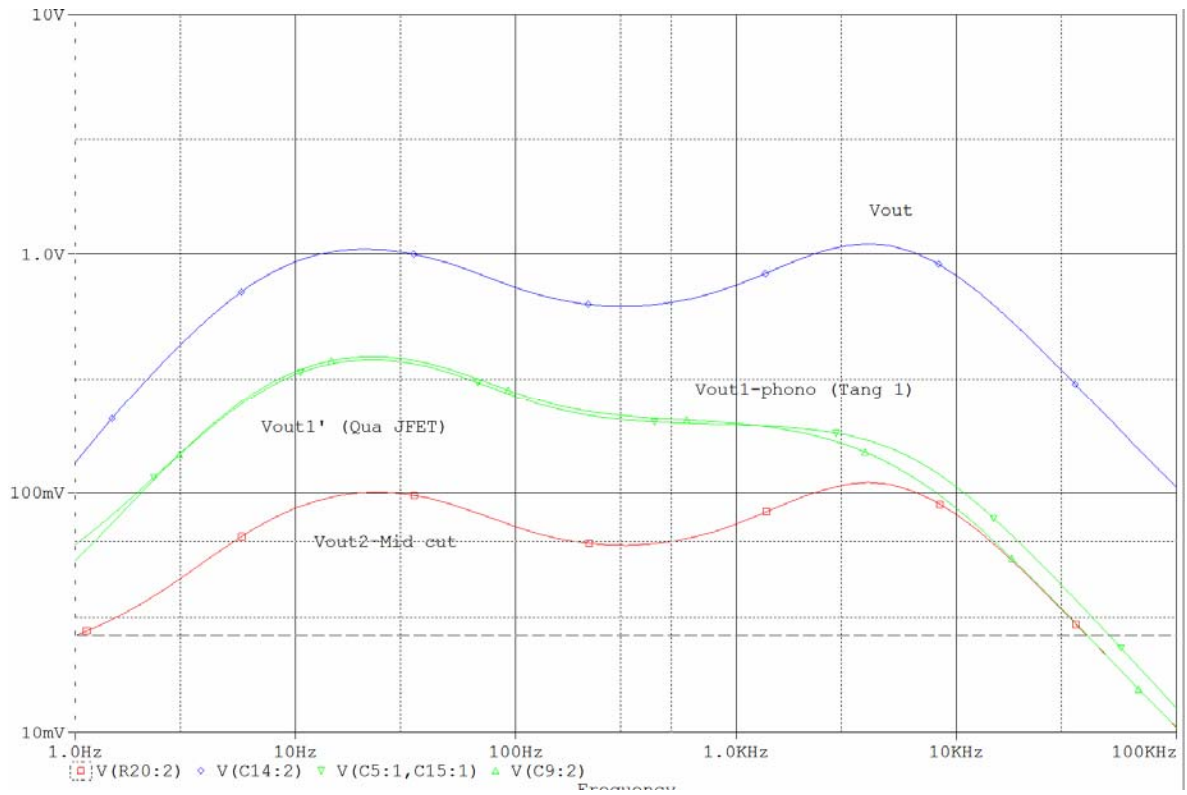
Với con JFET này, ta đã giảm điện trở đầu ra của tầng 1' so với tầng 2.

Nhờ đó, tín hiệu tầng 1 không bị giảm đi khi đến tầng 2 nhưng bị đảo pha!

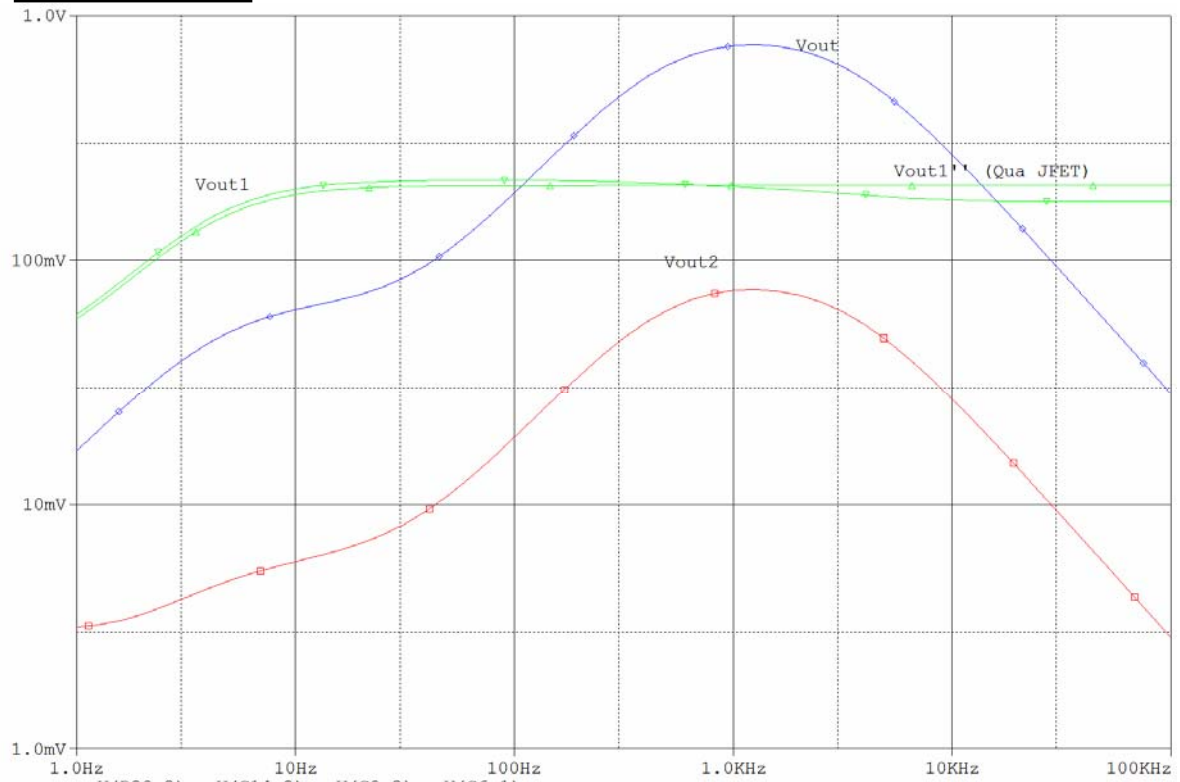
Trở kháng đầu vào của tầng 3 đã khá lớn so với trở kháng đầu ra của tầng 2 nên ta không cần chú ý tới các giá trị đó nữa!

Mạch hoàn chỉnh được thiết kế thêm JFET và ta tìm các tín hiệu nhận được qua bộ khuếch đại này.

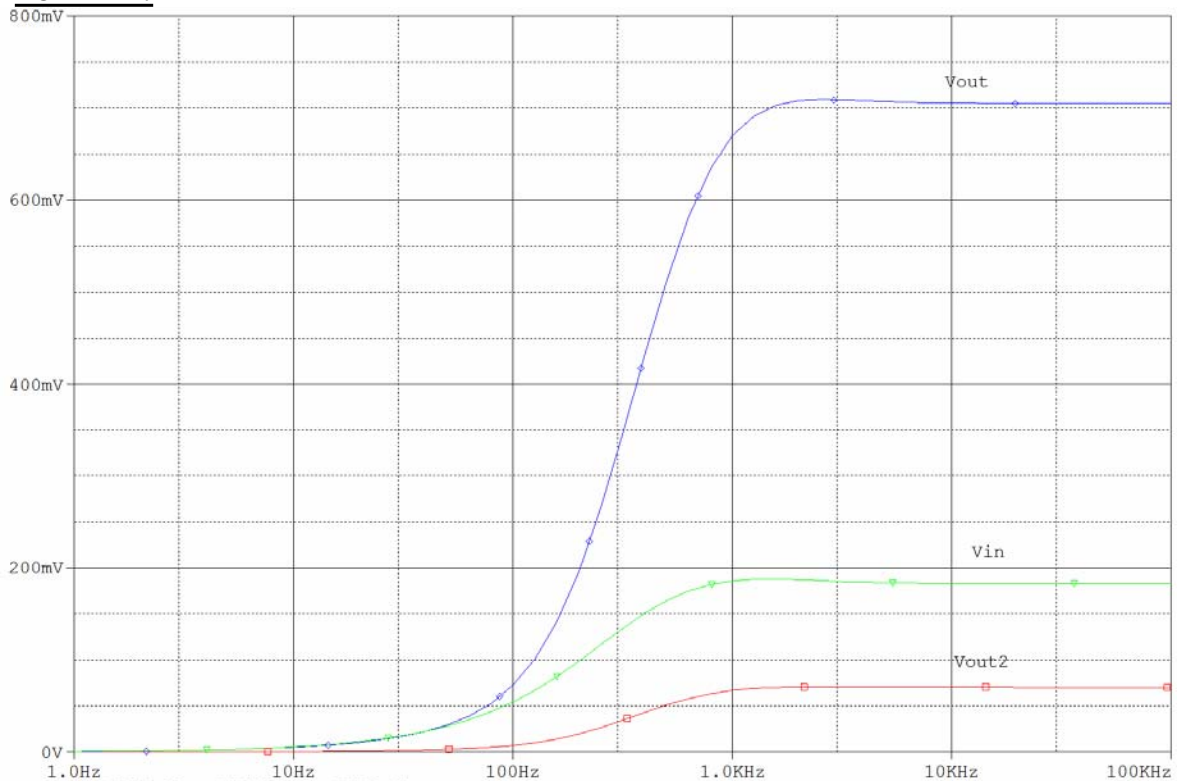
***PHONO-MID CUT**



***MIC-MID BOOST:**



***AUX-MID:**



Ta thấy rằng mạch khuếch đại tốt nhất (làm việc MIC-MID) chỉ được 0.75Volt với sóng vào là 4mV, điều đó được giải thích nhờ chú ý thêm tới các tụ nối giữa tầng, và các trở kháng đầu vào của tầng sau không rất nhỏ so với trở kháng đầu ra của tầng trước. Nhưng điều đó cũng dễ hiểu vì mạch còn quá đơn giản!

Chú ý: Lúc làm bài này, tôi chưa học sự đáp ứng theo tần số của mạch, bởi vậy, còn thiếu sót, nếu bạn tham khảo, chú ý tới phần chương 6,7 của mạch điện tử 2.

Phần nối tầng cũng có sai sót, bạn đọc nên tham khảo thêm các sách khác về mạch điện tử để hoàn chỉnh nếu muốn lắp mạch loa.